

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217072

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H05B 33/04  
G03B 17/18  
G09F 9/00  
G09F 9/30  
H05B 33/10  
H05B 33/12  
H05B 33/14

(21)Application number : 2000-281054

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 18.09.2000

(72)Inventor : YAMAZAKI SHUNPEI  
MIZUKAMI MAYUMI  
KONUMA TOSHIMITSU

(30)Priority

Priority number : 11264672	Priority date : 17.09.1999	Priority country : JP
11264680	17.09.1999	
11336248	26.11.1999	JP
11336247	26.11.1999	JP

JP

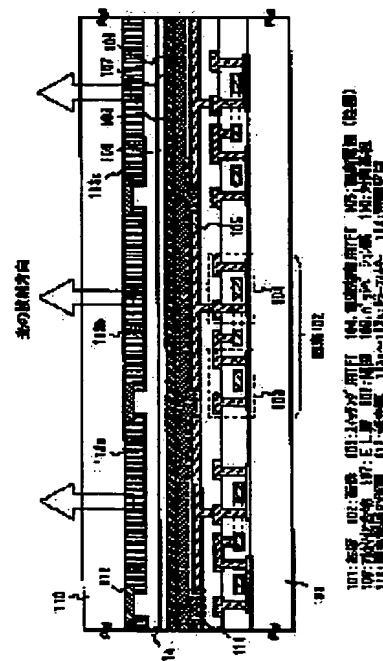
JP

## (54) EL DISPLAY DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-cost and high-resolution EL display device.

SOLUTION: Pixels 102 containing an EL element with a pixel electrode 105 connected to a TFT for current control 104 are set in array on a substrate, and on a counter substrate 110, a light-shield film is formed at a place corresponding to the edge of the pixels 102, and a color filter 113 at a place corresponding to the pixels 102. This light-shield film 112 makes the contour of the pixels clear, enabling a high-resolution image display. Further, since almost a whole production line for the liquid crystal display device can be diverted for the production of the EL display device of the present invention, the capital investment is small reducing the total production cost.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted]

BEST AVAILABLE COPY

registration]

[Date of final disposal application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the electronic instrument which has as a display EL (electroluminescence) display which made the semiconductor device (the component using a semi-conductor thin film, typically thin film transistor) on the substrate, and was formed, and its EL display.

[0002]

[Description of the Prior Art] In recent years, on the substrate, the technique which forms a thin film transistor (henceforth TFT) progresses sharply, and application development to a active-matrix mold display is furthered. Since electric field effect mobility is higher than TFT which used the conventional amorphous silicon film, high-speed operation is possible for especially TFT using the polish recon film. Therefore, it is possible to perform control of a pixel in the drive circuit besides a substrate conventionally in the drive circuit formed on the same substrate as a pixel.

[0003] Such a active-matrix mold display attracts attention noting that various advantages, such as reduction of a manufacturing cost, a miniaturization of a display, a rise of the yield, and reduction of a throughput, are acquired by making various circuits and components on the same substrate.

[0004] A active-matrix mold EL indicating equipment prepares the switching element which becomes each of each pixel by TFT, operates the driver element which performs current control by the switching element, and makes EL layer (strictly luminous layer) emit light. For example, there is an EL display indicated by JP,10-189252,A.

[0005]

[Problem(s) to be Solved by the Invention] The invention in this application makes it a technical problem to offer possible EL display of cheap and high definition image display. And let it be a technical problem to offer an electronic instrument with the high visibility of a display by using such an EL display as a display.

[0006]

[Means for Solving the Problem] The invention in this application is explained using drawing 1 . In drawing 1 , 101 is a substrate which has an insulating front face, and can use the glass substrate which prepared the insulator layer in an insulating substrate or front faces, such as a quartz substrate, a ceramic substrate, a crystallization glass substrate, a metal substrate, or a plastic plate.

[0007] A pixel 102 is formed on a substrate 101. In addition, although three pixels are illustrated in drawing 1 , actual further two or more pixels are formed in the shape of a matrix. Moreover, other pixels are the same structures although one of the three pixels is explained here.

[0008] Two TFT(s), TFT103 for switching and TFT104 for current control, are respectively formed in a pixel 102. At this time, the drain of TFT103 for switching is electrically connected to the gate of TFT104 for current control. Furthermore, the pixel electrode (it serves as the cathode of an EL element in this case) 105 is electrically connected to the drain of TFT104 for current control. In this way, a pixel 102 is formed.

[0009] each wiring and the pixel electrode of TFT — low — what is necessary is just to form using a metal membrane [ \*\*\*\* ] It is good to use the aluminium alloy film here.

[0010] If even the pixel electrode 105 is formed, the insulating compound (henceforth an alkali compound) 106 containing alkali metal or alkaline earth metal will be formed on all pixel electrodes. In addition, it is because that the dotted line shows the profile of the alkali compound 106 has about several nm and thin thickness, so it is unknown in whether it is formed in the shape of a layer, and whether it is dotted in the shape of an island.

[0011] Moreover, as an alkali compound, lithium fluoride (LiF), lithium oxide (Li<sub>2</sub>O), barium fluoride (BaF<sub>2</sub>), the barium oxide (BaO), a calcium fluoride (CaF<sub>2</sub>), a calcium oxide (CaO), a strontium oxide (SrO), or caesium oxide (Cs<sub>2</sub>O) can be used. They seem not to cause pixel inter-electrode short-circuit (short circuit), even if formed in the shape of a layer since these are insulation.

[0012] Of course, although it is also possible to use as cathode the ingredient which has well-known conductivity like a MgAg electrode, it is necessary to prepare the cathode itself alternatively or to perform patterning so that pixel electrodes may not short-circuit.

[0013] If the alkali compound 106 is formed, the EL layer (electroluminescence layer) 107 will be formed on it. Although the EL layer 107 can use a well-known ingredient and structure, it uses the possible ingredient of white luminescence in the invention in this application. As structure, only by the luminous layer which offers the place of recombination, it is good also as an EL layer and the laminating of an electron injection layer, an electronic transportation layer, an electron hole transportation layer, an electronic blocking layer, an electron hole component

layer, or the hole-injection layer may be carried out if needed. In this specification, it is called EL layer including all the layers in which injection of a carrier, transportation, or recombination is performed.

[0014] Moreover, the organic substance used as an EL layer 107 may be a low-molecular system organic substance, or may be a polymer system (macromolecule system) organic substance. However, it is desirable to use the polymer system organic substance which can be formed by the easy membrane formation approaches, such as a spin coat method and print processes. In addition, the structure of drawing 1 is the color display method which combined EL layer and the color filter of white luminescence.

[0015] Moreover, the color display method which combined blue, or EL layer and the fluorescent substance (the color conversion layer of fluorescence: CCM) of bluish green luminescence, and the method which performs color display by piling up EL layer corresponding to RGB are also employable.

[0016] On the EL layer 107, the transparency electric conduction film is formed as an anode plate 108. As transparency electric conduction film, it is possible to use the compound (referred to as ITO) of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, the tin oxide, or a zinc oxide.

[0017] Moreover, on an anode plate 108, an insulator layer is prepared as passivation film 109. As passivation film 109, it is desirable to use a silicon nitride film and the nitriding oxidation silicon film (expressed with SiOxNy).

Although it is also possible to use the oxidation silicon film, an insulator layer with if possible few contents of oxygen is desirable.

[0018] The substrate completed so far is called a active-matrix substrate on these specifications. That is, the substrate with which the EL element (capacitor which consists of cathode, an EL layer, and an anode plate) which uses as cathode TFT, the pixel electrode electrically connected to the TFT, and its pixel electrode was formed is called a active-matrix substrate.

[0019] Furthermore, as an EL element is enclosed with a active-matrix substrate, the opposite substrate 110 is stuck, and a light-shielding film 112 and color filters 113a-113c are formed in the opposite substrate 110.

[0020] that is [ it forms a light-shielding film 112 so that the clearance 111 which looks at from / of a watcher / a look (the direction of a normal of an opposite substrate) at this time, and the pixel electrode 105 makes may be hidden ], it sees from [ of an opposite substrate ] a normal and a light-shielding film 112 and the edge of a pixel lap (in agreement) — it prepares like. This is because electric field can become complicated and light cannot be made to emit with desired brightness or a desired chromaticity at that the part is the nonluminescent section and the edge of a pixel electrode.

[0021] That is, the profile between pixels can be made clear by forming a light-shielding film 112 in the location corresponding to the edge (edge) and clearance 111 between the pixel electrodes 105. In addition, in this invention, since the profile of a pixel electrode is in agreement with the profile of a pixel, it can be said that the light-shielding film 112 is formed in the location corresponding to the edge of a pixel. Moreover, the location corresponding to the edge of a pixel points out the location which sees from [ of the above-mentioned opposite substrate ] a normal, and laps with the edge of a pixel.

[0022] Moreover, color filters 113a-113c are color filters with which green and 113c extract [ 113a / red and 113b ] a blue light. These color filters are formed in the location corresponding to a pixel 102, and can change the color of the light which this takes out for every pixel. Theoretically, it is the same as that of the colorization method of the liquid crystal display using a color filter. In addition, the location corresponding to a pixel points out the location which sees from [ of the above-mentioned opposite substrate ] a normal, and laps with a pixel (it is in agreement). That is, it prepares so that it may see from [ of an opposite substrate ] a normal and color filters 113a-113c and each pixel corresponding to it may lap.

[0023] However, a color filter is a filter which raises the color purity of the light penetrated by extracting the light of specific wavelength. Therefore, when the amount of [ of the wavelength which should be taken out ] Mitsunari is few, the fault of being as color purity being bad \*\*\*\* [ and ] may be produced. [ that the brightness of the light of the wavelength is extremely small ] Therefore, although there is no limitation in EL layer of white luminescence which can be used by the invention in this application, it is desirable to include red with purity high as much as possible and a green and blue emission spectrum in the spectrum component of white luminescence.

[0024] Typical xy chromaticity diagram of EL layer used by the invention in this application here is shown in drawing 15. Drawing 15 (A) shows the chromaticity coordinate of the light which the polymer system organic substance of well-known white luminescence emits. With the well-known ingredient, high red of color purity is not realized but yellow and orange are used for red substitution. therefore, the white obtained by additive mixture of colors — a little — \*\*\*\*\* — it becomes white and white with yellowness. Moreover, since broadcloth [ red and each green and blue emission spectrum ], if they are mixed, it will become difficult to take out the homogeneous light with too high purity.

[0025] Therefore, although using an organic substance as shown by the chromaticity coordinate of drawing 16 (A) as an EL layer can also fully perform color display in the present condition, in order to obtain color display with it, it is desirable to use an organic substance as shown by the chromaticity coordinate of drawing 16 (B) as an EL layer. [ high purity and ] [ still brighter ]

[0026] The organic substance shown by the chromaticity coordinate of drawing 16 (B) is an example when half-value width mixes the organic substance with which the homogeneous light with high purity is acquired narrowly (a luminescence peak is ) and forms EL layer of white luminescence. In order to obtain the high red, green, and blue of color purity from a color filter, it is necessary to mix an ingredient with the high red of color purity, and a green and blue emission spectrum, and to form EL layer of white luminescence. Moreover, the sharp white of a spectrum is

reproducible by using the ingredient with which a spectrum not only with a narrow half-value width is obtained. And if EL layer such white luminescence is used as an EL layer of the invention in this application, it will become possible to display a still brighter color picture.

[0027] In addition, the above-mentioned color filters 113a-113c can also be made to contain the oxide of the element belonging to one group of periodic tables, such as barium oxide, a calcium oxide, and lithium oxide, or two groups as a drying agent. In this case, what is necessary is just to let the resin film which made red, and green or blue a pigment and a drying agent contain be a color filter.

[0028] By the way, although not illustrated here, the opposite substrate 110 is stuck on the active-matrix substrate by the sealing compound, and the space shown by 114 is a closed space.

[0029] As an opposite substrate 110, it is necessary to use the substrate of translucency so that advance of light may not be barred. For example, a glass substrate, a quartz substrate, or a plastic plate is desirable. Moreover, what is necessary is just to use the high thin film of protection-from-light nature, such as resin containing a black pigment or carbon, and titanium film, as a light-shielding film 112. In addition, it is effective in the above-mentioned color filter 113a - 113c said appearance to also make the oxide of the element belonging to one group of periodic tables, such as barium oxide, a calcium oxide, and lithium oxide, or two groups contain as a drying agent in a light-shielding film 112.

[0030] Moreover, a closed space 114 may be filled up with inert gas (rare gas and nitrogen gas), and may be filled up with an inactive liquid. Moreover, it may be filled up with the adhesives of translucency and the whole substrate may be pasted up. Furthermore, it is desirable to prepare drying agents, such as barium oxide, in this closed space 114. Since the EL layer 107 is very weak for moisture, it is desirable to make it moisture not trespass upon a closed space 114 as much as possible.

[0031] The light emitted from the EL element penetrates an opposite substrate, is emitted, and EL display of the invention in this application which becomes with the above configurations goes into a watcher's eyes. Therefore, a watcher can recognize an image from an opposite substrate side. At this time, the description of EL display of the invention in this application is the point of forming a light-shielding film 112 first so that the clearance 111 between the pixel electrodes 105 may be hidden between an EL element and a watcher. Thereby, the profile between pixels will become clear and the high definition image display of it will become possible. In addition, this effectiveness is effectiveness produced by forming the light-shielding film 112 in the opposite substrate 110, and is effectiveness which will be acquired if the light-shielding film 112 is formed at least.

[0032] Moreover, a light-shielding film 112 and a color filter 113 are formed in the opposite substrate 110, and the opposite substrate 110 serves also as the function as a sealing material which controls degradation of an EL element for an EL element. Although a membrane formation process and a patterning process will increase if a light-shielding film 112 and a color filter 113 are formed in a active-matrix substrate side, the increment in the number of making processes of a active-matrix substrate can be suppressed by preparing in an opposite substrate.

[0033] Moreover, like the invention in this application, a light-shielding film 112 and a color filter 113 are formed in the opposite substrate 110, and the structure of pasting up an opposite substrate and a active-matrix substrate by the sealing compound further has a point common to the structure of a liquid crystal display. That is, it is possible to divert almost all the production lines of an existing liquid crystal display to some other purpose, and to produce EL display of the invention in this application, and reduction of a synthetic manufacturing cost is possible by reducing plant-and-equipment investment sharply.

[0034] As mentioned above, EL display which makes cheap and high definition image display possible is obtained by carrying out the invention in this application. And an electronic instrument with the high visibility of a display is obtained by using such an EL display as a display.

[0035]

[Embodiment of the Invention] The gestalt of operation of this invention is explained using drawing 2 R> 2 and drawing 3. It is the sectional view of the pixel section of EL display which is the invention in this application which was shown in drawing 2, and drawing 3 (A) is the plan and drawing 3 (B) is the circuitry. Two or more arrays of the pixel are carried out in fact at the shape of a matrix, and the pixel section (image display section) is formed. In addition, the sectional view which cut drawing 3 (A) by A-A' is equivalent to drawing 2. Therefore, since the common sign is used by drawing 2 and drawing 3, it is good to refer to both drawings suitably. Moreover, both are the same structures although two pixels are illustrated in the plan of drawing 3.

[0036] In drawing 2, it is the insulator layer (henceforth the substrate film) from which 11 becomes a substrate and 12 becomes a substrate. As a substrate 11, a glass substrate, a crystallized glass substrate, a quartz substrate, a silicon substrate, a ceramic substrate, a metal substrate, or a plastic plate (plastic film is also included) can be used.

[0037] Moreover, although especially the substrate film 12 is effective when using the substrate containing movable ion, and the substrate which has conductivity, you may not prepare in a quartz substrate. What is necessary is just to use the insulator layer containing silicon (silicon) as substrate film 12. In addition, in this specification, "the insulator layer containing silicon" points out the insulator layer which specifically contains silicon, such as oxidation silicon film, a silicon nitride film, or nitriding oxidation silicon film (shown by SiOxNy), oxygen, or nitrogen at a predetermined rate.

[0038] Moreover, it is effective to make generation of heat of TFT emit by giving the heat dissipation effectiveness to the substrate film 12, also in order to prevent degradation of TFT, or degradation of an EL element. All well-known ingredients can be used for giving the heat dissipation effectiveness.

[0039] Here, two TFT(s) are formed in a pixel. TFT (henceforth TFT for switching) on which 201 functions as a component for switching and 202 are TFT(s) (henceforth TFT for current control) which function as a component for current control which controls the amount of currents passed to an EL element, and are formed by both with the n channel mold TFT.

[0040] For the electric field effect mobility of the n channel mold TFT, since it is larger than the electric field effect mobility of the p channel mold TFT, a working speed is a sink and a cone about a high current early. Moreover, TFT size can do the direction of the n channel mold TFT small also passing the same amount of currents. Therefore, since the direction which used the n channel mold TFT as TFT for current control becomes large, its effective area of a display is desirable.

[0041] Hot carrier impregnation hardly becomes a problem, but the p channel mold TFT has the advantage that an OFF state current value is low, and the example used as TFT for switching and the example used as TFT for current control are already reported. However, in the invention in this application, also in the n channel mold TFT, the problem of hot carrier impregnation and the problem of an OFF state current value are solved by considering as the structure where the location of a LDD field was changed, and the description is that it is using all TFT(s) in all pixels as the n channel mold TFT.

[0042] However, in the invention in this application, it is also possible for it not to be necessary to limit TFT for switching and TFT for current control to the n channel mold TFT, and to use the p channel mold TFT for both or either one of the two.

[0043] TFT201 for switching has the drain wiring 22 in a barrier layer including the source field 13, the drain field 14, the LDD fields 15a-15d, the high concentration impurity range 16, and the channel formation fields 17a and 17b, gate dielectric film 18, the gate electrodes 19a and 19b, the 1st interlayer insulation film 20, and source wiring 21 list, and is formed in them.

[0044] Moreover, as shown in drawing 3, the gate electrodes 19a and 19b have double-gate structure electrically connected by the gate wiring 211 formed with another ingredient (gate electrodes 19a and 19b low ingredient [\*\*\*\*]). Of course, you may be the so-called multi-gate structures (structure containing the barrier layer which has two or more channel formation fields connected to the serial), such as not only double-gate structure but triple gate structure. Multi-gate structure is very effective when reducing an OFF state current value, and in the invention in this application, the switching element with a low OFF state current value is realized by making the switching element 201 of a pixel into multi-gate structure.

[0045] Moreover, a barrier layer is formed by the semi-conductor film including the crystal structure. That is, the single crystal semiconductor film is sufficient and the polycrystal semi-conductor film and the microcrystal semi-conductor film are sufficient. Moreover, what is necessary is just to form gate dielectric film 18 by the insulator layer containing silicon. Moreover, all electric conduction film can be used as a gate electrode, source wiring, or drain wiring.

[0046] Furthermore, in TFT201 for switching, the LDD fields 15a-15d are formed so that it may not lap with the gate electrodes 19a and 19b through gate dielectric film 18. Such structure is very effective when reducing an OFF state current value.

[0047] In addition, it is still more desirable to prepare an offset field (field where it becomes in the semi-conductor layer of the same presentation as a channel formation field, and gate voltage is not impressed) between a channel formation field and a LDD field, when lowering an OFF state current value. Moreover, in the case of the multi-gate structure of having two or more gate electrodes, the high concentration impurity range prepared between channel formation fields is effective for reduction of an OFF state current value.

[0048] As mentioned above, a switching element with a fully low OFF state current value is realizable by using TFT of multi-gate structure as a switching element 201 of a pixel. Therefore, even if it does not form a capacitor like drawing 2 of JP,10-189252,A, the gate voltage of TFT for [sufficient] time amount (after being chosen until it is chosen as degree) current control can be maintained.

[0049] Next, TFT202 for current control has the drain wiring 37 in a barrier layer including the source field 31, the drain field 32, the LDD field 33, and the channel formation field 34, gate dielectric film 18, the gate electrode 35, the 1st interlayer insulation film 20, and source wiring 36 list, and is formed in them. In addition, although the gate electrode 35 has single gate structure, you may be multi-gate structure.

[0050] As shown in drawing 2, the drain of TFT for switching is connected to the gate of TFT for current control. Specifically, the gate electrode 35 of TFT202 for current control is electrically connected through the drain field 14 of TFT201 for switching, and the drain wiring (said to be connection wiring) 22. Moreover, source wiring 36 is connected to the current supply line 212.

[0051] Although it is a component for controlling the amount of currents poured into EL element 203, if degradation of an EL element is taken into consideration, as for TFT202 for current control, it is not desirable to pass not much many currents. Therefore, as for channel length (L), designing for a long time is desirable so that a superfluous current may not flow to TFT202 for current control. It is made to be desirably set to 0.5-2 micrometers per pixel (preferably 1-1.5 micrometers).

[0052] When based on the above thing, as shown in drawing 9, the channel length of TFT for switching L1 (however,  $L1=L1a+L1b$ ), When channel width was set to W1, channel length of TFT for current control is set to L2 and channel width is set to W2, it is desirable that W1 sets to 0.1-5 micrometers (typically 0.5-2 micrometers), and W2 sets to 0.5-10 micrometers (typically 2-5 micrometers). Moreover, it is desirable that L1 sets to 0.2-18 micrometers (typically 2-15 micrometers), and L2 sets to 1-50 micrometers (typically 10-30 micrometers). However, the

invention in this application is not limited to the above numeric value.

[0053] Moreover, what is necessary is just to set typically to 2.0–2.5 micrometers the 0.5–3.5 micrometers (width of face) of the die length of the LDD field formed in TFT201 for switching.

[0054] Moreover, EL indicating equipment shown in drawing 2 has the description also in the point of having the field where the LDD field 33 was formed between the drain field 32 and the channel formation field 34, and the LDD field 33 has lapped with the gate electrode 35 through gate dielectric film 18, and the field with which it has not lapped, in TFT202 for current control.

[0055] TFT202 for current control controls the amount of supply, and enables a gradation display at the same time it supplies the current for making EL element 203 emit light. Therefore, it is necessary to take the cure against degradation by hot carrier impregnation so that it may not deteriorate, even if it passes a current. Moreover, in case black is displayed, TFT202 for current control is made into the OFF state, but in that case, if an OFF state current value is high, a beautiful black display will become impossible and the fall of contrast etc. will be caused. Therefore, it is necessary to also hold down an OFF state current value.

[0056] About degradation by hot carrier impregnation, it is known that the structure with which the LDD field lapped to the gate electrode is very effective. However, since an OFF state current value will increase if the whole LDD field is kept in a gate electrode in piles, these people have solved the cure against a hot carrier, and the cure against an OFF state current value to coincidence according to the new structure of establishing the LDD field which does not lap with a gate electrode in a serial.

[0057] What is necessary is just to set to 0.1–3 micrometers (preferably 0.3–1.5 micrometers) the die length of the LDD field which lapped with the gate electrode at this time. If too long, parasitic capacitance is enlarged, and if too short, the effectiveness of preventing a hot carrier will become weak. Moreover, what is necessary is just to set to 1.0–3.5 micrometers (preferably 1.5–2.0 micrometers) the die length of the LDD field which does not lap with a gate electrode. When too long, it becomes impossible to pass sufficient current, and if too short, the effectiveness of reducing an OFF state current value will become weak.

[0058] Moreover, it is more desirable not to prepare between the source field 31 and the channel formation field 34, since parasitic capacitance will be formed in the field with which the gate electrode and the LDD field lapped in the above-mentioned structure. Since TFT for current control always has the same direction where a carrier (here electron) flows, it is enough if the LDD field is established only in the drain field side.

[0059] Moreover, if the amount of currents which can be passed is seen from a viewpoint of making [ many ] it, what thickness of the barrier layer (especially channel formation field) of TFT202 for current control is thickened also for (preferably 50–100nm, still more preferably 60–80nm) is effective. On the contrary, in TFT201 for switching, if an OFF state current value is seen from a viewpoint of making it small, what thickness of a barrier layer (especially channel formation field) is made thin also for (preferably 20–50nm, still more preferably 25–40nm) is effective.

[0060] 41 [ next, ] — the 1st passivation film — it is — thickness — 10nm – 1 micrometer (preferably 200–500nm) — then, it is good. As an ingredient, the insulator layer (the nitriding oxidation silicon film or a silicon nitride film is especially desirable) containing silicon can be used. It is effective to give the heat dissipation effectiveness to this passivation film 41 also in the semantics which prevents the heat deterioration of EL layer.

[0061] The insulator layer which contains at least one element chosen from B (boron), C (carbon), and N (nitrogen) and at least one element chosen from aluminum (aluminum), Si (silicon), and P (Lynn) as a thin film with the heat dissipation effectiveness is mentioned. For example, it is possible to use the nitride of the aluminum represented by aluminum nitride ( $Al_xNy$ ), the carbide of the silicon represented by silicon carbide ( $Si_xCy$ ), the nitride of the silicon represented by silicon nitride ( $Si_xNy$ ), the nitride of the boron represented by boron nitride ( $B_xNy$ ), and the phosphide of the boron represented by boron phosphide ( $B_xPy$ ). Moreover, thermal conductivity is  $20Wm^{-1}K^{-1}$ , and the oxide of the aluminum represented by the aluminum oxide ( $Al_xOy$ ) can be said to be one of the desirable ingredients. In addition, in the above-mentioned translucency ingredient, x and y are the integers of arbitration.

[0062] In addition, other elements are also combinable with the above-mentioned compound. For example, it is also possible to add nitrogen to an aluminum oxide and to use the nitriding aluminum oxide shown by  $AlN_xO_y$ . In addition, in the above-mentioned nitriding aluminum oxide, x and y are the integers of arbitration.

[0063] Moreover, the ingredient indicated by JP,62-90260,A can be used. that is, the insulator layer (however, M — rare earth elements — at least — a kind and at least one element preferably chosen from Ce (cerium), Yb (ytterbium), Sm (samarium), Er (erbium), Y (yttrium), La (lanthanum), Gd (gadolinium), Dy (dysprosium), and Nd (neodymium)) containing Si, aluminum, N, O, and M can also be used.

[0064] Moreover, carbon films, such as a diamond thin film or amorphous carbon film (called what has a near property, diamond-like carbon, etc. to especially a diamond.), can also be used. These have very high thermal conductivity and are very effective as a heat dissipation layer.

[0065] Moreover, although the thin film which consists of an ingredient with the above-mentioned heat dissipation effectiveness can also be used alone, it is effective to carry out the laminating of these thin films, and a silicon nitride film ( $Si_xNy$ ) and the nitriding oxidation silicon film ( $SiO_xNy$ ). In addition, in the above-mentioned silicon nitride film or the nitriding oxidation silicon film, x and y are the integers of arbitration.

[0066] On the 1st passivation film 41, the 2nd interlayer insulation film (you may call it the flattening film) 42 is formed in each form which covers TFT, and flattening of the level difference made by TFT is performed. As the 2nd interlayer insulation film 42, the organic resin film is desirable and it is good to use polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. Of course, the inorganic film may be used as long as sufficient flattening is possible.

[0067] It is very important to carry out flattening of the level difference by TFT with the 2nd interlayer insulation

film 42. Since EL layer 43 and behind is very thin, poor luminescence may be caused when a level difference exists. Therefore, before forming pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0068] Moreover, 43 is a pixel electrode (it is equivalent to the cathode of an EL element) which becomes by the electric conduction film which has protection-from-light nature, and after it opens a contact hole (puncturing) in the 2nd interlayer insulation film 42 and the 1st passivation film 41, it is formed so that it may connect with the drain wiring 37 of TFT202 for current control in the formed aperture.

[0069] On the pixel electrode 43, the lithium fluoride film of 5-10nm thickness is formed by vacuum deposition as an alkali compound 44. Since the lithium fluoride film is an insulator layer, if its thickness is too thick, it will become impossible to pass a current in EL layer. Moreover, it is satisfactory, even if it is formed so that it may be dotted in the shape of an island, without being formed in the shape of a layer.

[0070] Next, the EL layer 45 is formed. With this operation gestalt, a polymer system organic substance is formed with a spin coat method. It is possible to use all ingredients well-known as a polymer system organic substance. Moreover, with this operation gestalt, although a luminous layer is used by the monolayer as an EL layer 45, what has the one of the laminated structure combined with the electron hole transportation layer or the electronic transportation layer high [ luminous efficiency ] is obtained. However, when carrying out the laminating of the polymer system organic substance, it is desirable to combine with the low-molecular organic substance formed with vacuum deposition. Since the organic substance used as EL layer is mixed and applied to an organic solvent in a spin coat method, when an organic substance is in a substrate, there is a possibility of dissolving again.

[0071] As a typical polymer system organic substance which can be used with this operation gestalt, polymeric materials, such as a poly para-phenylene vinylene (PPV) system, a polyvinyl-carbazole (PVK) system, and the poly fluorene system, are mentioned. What is necessary is to apply in the state of a polymer precursor, and just to convert into a polymer system organic substance by heating it in a vacuum (baking), in order to form an electronic transportation layer, a luminous layer, an electron hole transportation layer, or a hole-injection layer with these polymer system organic substances.

[0072] What is necessary is just to use the ingredient indicated by JP,8-96959,A or JP,9-63770,A as a polymer system organic substance in which white luminescence used as a luminous layer is specifically shown. For example, what is necessary is just to use what dissolved PVK (polyvinyl carbazole), Bu-PBD (2-(4'-tert-butylphenyl)-5-(4"-biphenyl)-1,3,4-OKISA diazole), a coumarin 6, DCM1 (4-dicyanomethylene-2-methyl-6-p-dimethylaminostyryl-4H-pyran) and TPB (tetra-phenyl butadiene), and the Nile red in 1 and 2-dichloromethane. this time — thickness — 30-150nm (preferably 40-100nm) — then, it is good. Moreover, as an electron hole transportation layer, it considers as polyphenylene vinylene with heating using the polytetrahydro thiophenyl phenylene which is a polymer precursor. thickness — 30-100nm (preferably 40-80nm) — then, it is good.

[0073] Thus, the polymer system organic substance is effective especially when performing white luminescence easily by adding a fluorochrome in the solution in which the host ingredient was dissolved, since color adjustment is possible. Moreover, although here shows the example which forms an EL element using a polymer system organic substance, a low-molecular system organic substance may be used. Furthermore, mineral matter may be used as an EL layer.

[0074] The above example is an example of the organic substance which can be used as an EL layer of the invention in this application, and does not limit the invention in this application.

[0075] Moreover, in case the EL layer 45 is formed, as for a processing ambient atmosphere, it is desirable to consider as few desiccation ambient atmospheres of moisture as much as possible, and to carry out in inert gas. Since EL layer deteriorates easily by existence of moisture and oxygen, in case it forms, it needs to eliminate such a factor as much as possible. For example, dry nitrogen-gas-atmosphere mind, a dry argon ambient atmosphere, etc. are desirable. For that purpose, it is desirable to install the processing room for spreading and the processing room for baking in the clean booth filled up with inert gas, and to process them in the ambient atmosphere.

[0076] If the EL layer 45 is formed as mentioned above, the anode plate 46 and the 2nd passivation film 47 which become by the transparence electric conduction film next will be formed. With this operation gestalt, the electric conduction film which becomes with the compound of indium oxide and a zinc oxide is used as an anode plate 46. A small amount of gallium may be added to this. Moreover, as the 2nd passivation film 47, a silicon nitride film with a thickness of 10nm - 1 micrometer (preferably 200-500nm) is used.

[0077] In addition, since EL layer is weak with heat as mentioned above, as for an anode plate 46 and the 2nd passivation film 47, it is desirable to form membranes if possible at low temperature (preferably temperature requirement from a room temperature to 120 degrees C). Therefore, it can be said to be a plasma-CVD method, a vacuum deposition method, or the membrane formation approach that the solution applying method (spin coat method) is desirable.

[0078] In this way, the completed active-matrix substrate is countered and the opposite substrate 48 is formed. With this operation gestalt, a glass substrate is used as an opposite substrate 48. And the color filter 50 which becomes by the light-shielding films 49a and 49b which become the opposite substrate 48 by the resin which distributed the black pigment, and the resin which distributed red and a green or blue pigment is formed. These light-shielding films 49a and 49b are arranged so that the clearance between the pixel electrodes contiguous to the pixel electrode 43 may be hidden. At this time, it is effective to make light-shielding films 49a and 49b contain drying agents, such as barium oxide. An ingredient which was otherwise indicated by JP,9-148066,A as a drying agent can be used. Moreover, a color filter 50 is formed in the location corresponding to a pixel 102.



[0079] Moreover, a active matrix substrate and the opposite substrate 40 are pasted up by the sealing compound (not shown), and a closed space 51 is formed. A closed space 51 is filled up with this operation gestalt by argon gas. Of course, it is also possible to arrange the above-mentioned drying agent in this closed space 51.

[0080] EL display of this operation gestalt has the pixel section which consists of a pixel of structure like drawing 2, and TFT from which structure differs according to a function in a pixel is arranged. That is, by forming TFT for switching of an OFF state current value low enough, and TFT for current control strong against hot carrier impregnation in the same pixel, it has high dependability and EL display in which high definition image display is possible is obtained.

[0081]

[Example] [Example 1] The example of this invention is explained using drawing 4 - drawing 6. Here, how to produce to coincidence TFT of the pixel section and the drive circuit section prepared around it is explained. However, in order to simplify explanation, suppose that the CMOS circuit which is a basic circuit is illustrated about a drive circuit.

[0082] First, as shown in drawing 4 (A), the substrate film 301 is formed on a glass substrate 300 at the thickness of 300nm. In this example, as substrate film 301, the laminating of the nitriding oxidation silicon film is carried out, and it is used. At this time, it is good to make into 10 - 25wt% nitrogen concentration of the direction which touches a glass substrate 300.

[0083] Moreover, it is effective to prepare the insulator layer which consists of the ingredient same as some substrate film 301 as the 1st passivation film 41 shown in drawing 2. It is effective to prepare the insulator layer which is easy to generate heat since TFT for current control will pass a high current, and has the heat dissipation effectiveness in as near a place as possible.

[0084] Next, the amorphous silicon film (not shown) with a thickness of 50nm is formed by the well-known forming-membranes method on the substrate film 301. In addition, what is necessary is just the semi-conductor film (the microcrystal semi-conductor film is included) which does not need to limit to the amorphous silicon film and includes amorphous structure. The compound semiconductor film which furthermore includes the amorphous structure of the amorphous silicon germanium film etc. is sufficient. Moreover, thickness should just be 20-100nm in thickness.

[0085] And the amorphous silicon film is crystallized with a well-known technique, and the crystalline substance silicon film (it is also called the polycrystalline silicon film or the polish recon film) 302 is formed. As the well-known crystallization approach, there are the heat crystallization approach which used the electric heat furnace, a laser annealing crystallizing method using laser light, and the lamp annealing crystallizing method using infrared light. In this example, it crystallizes using the excimer laser light which used XeCl gas.

[0086] In addition, although the excimer laser light of the pulse oscillation mold processed into the line is used in this example, you may be a rectangle and the argon laser light of a continuous-oscillation mold and the excimer laser light of a continuous-oscillation mold can also be used.

[0087] Although the crystalline substance silicon film is used as a barrier layer of TFT in this example, it is also possible to use the amorphous silicon film. Moreover, it is also possible to form the barrier layer of TFT for switching with the need of reducing the OFF state current, by the amorphous silicon film, and to form the barrier layer of TFT for current control by the crystalline substance silicon film. Since the amorphous silicon film has low carrier mobility, the OFF state current cannot flow easily that it is hard to pass a current. That is, the advantage of both sink or cone crystalline substance silicon film can be efficiently employed [ a current ] for the pile amorphous silicon film and a current in a sink.

[0088] Next, as shown in drawing 4 (B), the protective coat 303 which becomes by the oxidation silicon film is formed on the crystalline substance silicon film 302 at the thickness of 130nm. What is necessary is just to choose this thickness in 100-200nm (preferably 130-170nm). Moreover, other film is sufficient as long as it is an insulator layer containing silicon. This protective coat 303 is formed in order to enable concentration control delicate in order not to put the crystalline substance silicon film to the direct plasma, in case an impurity is added.

[0089] And the resist masks 304a and 304b are formed on it, and the impurity element (henceforth n mold impurity element) which gives n mold through a protective coat 303 is added. In addition, Lynn or arsenic can be used for the element and type target which belong to 15 groups typically as an n mold impurity element. In addition, in this example, Lynn is added by the concentration of  $1 \times 10^{18}$  atoms/cm<sup>3</sup> using the plasma doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH<sub>3</sub>). Of course, the ion implantation method for performing mass separation may be used.

[0090] In n mold impurity ranges 305 and 306 formed of this process, a dose is adjusted so that n mold impurity element may be contained by the concentration of  $2 \times 10^{16}$  -  $5 \times 10^{19}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{17}$  -  $5 \times 10^{18}$  atoms/cm<sup>3</sup>).

[0091] Next, as shown in drawing 4 (C), the element which removes a protective coat 303 and belongs to 15 groups who added is activated. Although an activation means should just use a well-known technique, it is activated by the exposure of excimer laser light by this example. Of course, a pulse oscillation mold or a continuous-oscillation mold may be used, and it is not necessary to limit to excimer laser light. However, since activation of the added impurity element is the purpose, it is desirable to irradiate with the energy which is extent which the crystalline substance silicon film does not fuse. In addition, laser light may be irradiated, with the protective coat 303 attached.

[0092] In addition, activation by heat treatment may be used together on the occasion of activation of the impurity element by this laser light. What is necessary is just to perform heat treatment of about 450-550 degrees C in

consideration of the resistance of a substrate, when performing activation by heat treatment.

[0093] The boundary section (joint) with the field which has not added n mold impurity element which exists in the edge of n mold impurity ranges 305 and 306, i.e., the perimeter of n mold impurity ranges 305 and 306, according to this process becomes clear. This means that a LDD field and a channel formation field can form a very good joint, when TFT is completed behind.

[0094] Next, as shown in drawing 4 (D), the unnecessary part of the crystalline substance silicon film is removed, and the island-like semi-conductor film (henceforth a barrier layer) 307-310 is formed.

[0095] Next, as shown in drawing 4 (E), barrier layers 307-310 are covered and gate dielectric film 311 is formed. What is necessary is just to use 10-200nm of insulator layers which contain silicon with a thickness of 50-150nm preferably as gate dielectric film 311. Monolayer structure or a laminated structure is sufficient as this. In this example, the nitriding oxidation silicon film of 110nm thickness is used.

[0096] Next, patterning of the electric conduction film of 200-400nm thickness is formed and carried out, and the gate electrodes 312-316 are formed. The edge of these gate electrodes 312-316 can also be made into the shape of a taper. In addition, in this example, a gate electrode and wiring for leading about electrically connected to the gate electrode (henceforth gate wiring) are formed with another ingredient. concrete — a gate electrode — low — an ingredient [ \*\*\*\* ] is used as gate wiring. Even if micro processing of this is impossible for gate wiring using the ingredient in which micro processing is possible as a gate electrode, it is for wiring resistance to use a small ingredient. Of course, a gate electrode and gate wiring may be formed with the same ingredient.

[0097] Moreover, although a gate electrode may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as a bilayer and three layers, if needed. All electric conduction film well-known as an ingredient of a gate electrode can be used. However, the ingredient in which patterning is possible in line breadth of 2 micrometers or less is possible [ micro processing ] as mentioned above and specifically desirable.

[0098] Typically A tantalum (Ta), titanium (Ti), molybdenum (Mo), A tungsten (W), chromium (Cr), the film that becomes by the element chosen from silicon (Si), or the nitride film (typical — the tantalum nitride film and the nitriding tungsten film —) of said element The titanium nitride film, the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) which combined said element, or the silicide film (typically tungsten silicide film, titanium silicide film) of said element can be used. Of course, it may use by the monolayer, or a laminating may be carried out and you may use.

[0099] In this example, the cascade screen which becomes by the nitriding tungsten (WN) film of 50nm thickness and the tungsten (W) film of 350nm thickness is used. What is necessary is just to form this by the spatter.

Moreover, if inert gas, such as Xe and Ne, is added as sputtering gas, film peeling by stress can be prevented.

[0100] Moreover, at this time, the gate electrodes 313 and 316 are formed so that it may lap through gate dielectric film 311 with a part of n mold impurity ranges 305 and 306, respectively. This overlapping part serves as a LDD field which lapped with the gate electrode behind.

[0101] Next, as shown in drawing 5 (A), n mold impurity element (this example Lynn) is added in self align by using the gate electrodes 312-316 as a mask. In this way, in the impurity ranges 317-323 formed, it adjusts so that Lynn may be added by the concentration of  $1/2 - 1/10$  of n mold impurity ranges 305 and 306 (typically  $1/3 - 1/4$ ). Specifically, the concentration of  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $3 \times 10^{17} - 3 \times 10^{18}$  atoms/cm<sup>3</sup>) is desirable.

[0102] Next, as shown in drawing 5 (B), the resist masks 324a-324c are formed for a gate electrode etc. in a wrap form, and the impurity ranges 325-331 which add n mold impurity element (this example Lynn), and include Lynn in high concentration are formed. It carries out by the ion doping method for having used phosphoretted hydrogen (PH<sub>3</sub>) also here, and the concentration of Lynn of this field is adjusted so that it may become  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $2 \times 10^{20} - 5 \times 10^{21}$  atoms/cm<sup>3</sup>).

[0103] Although the source field or drain field of the n channel mold TFT is formed of this process, in TFT for switching, it leaves a part of n mold impurity ranges 320-322 formed at the process of drawing 5 (A). This left-behind field is equivalent to the LDD fields 15a-15d of TFT for switching in drawing 2.

[0104] Next, as shown in drawing 5 (C), the resist masks 324a-324c are removed, and the resist mask 332 is newly formed. And p mold impurity element (this example boron) is added, and the impurity ranges 333 and 334 which contain boron in high concentration are formed. Here, boron is added so that it may become  $3 \times 10^{20} - 3 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup> NO) concentration by the ion doping method for having used diboron hexahydride (B<sub>2</sub>H<sub>6</sub>).

[0105] In addition, although Lynn is already added by impurity ranges 333 and 334 by the concentration of  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>, the boron added here is added by the concentration of at least 3 times or more. Therefore, it is completely reversed to P type, and the impurity range of n mold currently formed beforehand functions as an impurity range of P type.

[0106] Next, after removing the resist mask 332, n mold or p mold impurity element added by each concentration is activated. As an activation means, it can carry out by the furnace annealing method, the laser annealing method, or the lamp annealing method. In this example, 550 degrees C and heat treatment of 4 hours are performed among nitrogen-gas-atmosphere mind in an electric heat furnace.

[0107] It is important to eliminate the oxygen in an ambient atmosphere as much as possible at this time. It is because it is hard coming to take ohmic contact behind while the front face of the gate electrode exposed when oxygen existed oxidizes and causing the increment in resistance. Therefore, as for the oxygen density in the processing ambient atmosphere in the above-mentioned activation process, it is preferably desirable to be referred to as 0.1 ppm or less 1 ppm or less.

[0108] Next, if an active process is completed, the gate wiring 335 of  $\mu\text{m}$  thickness will be formed. What is necessary is just to use a metal membrane which uses aluminum (aluminum) or copper (Cu) as a principal component (it considers as a presentation and 50 – 100% is occupied.) as an ingredient of the gate wiring 335. Like the gate wiring 211 of drawing 3 as arrangement, it forms so that the gate electrodes 314 and 315 (it is equivalent to the gate electrodes 19a and 19b of drawing 3) of TFT for switching may be connected electrically. ( Drawing 5 (D) )

[0109] Since wiring resistance of gate wiring can be made very small by considering as such structure, the image display field (pixel section) where area is large can be formed. That is, when the magnitude of a screen realizes EL display of 10 inches or more (30 more inches or more) of vertical angles, the pixel structure of this example is very effective.

[0110] Next, as shown in drawing 6 (A), the 1st interlayer insulation film 336 is formed. What is necessary is just to use the cascade screen which used the insulator layer containing silicon by the monolayer as the 1st interlayer insulation film 336, or was combined in it. Moreover, thickness is just 400nm – 1.5 micrometers. In this example, it considers as the structure which carried out the laminating of the oxidation silicon film of 800nm thickness on the nitriding oxidation silicon film of 200nm thickness.

[0111] Furthermore, in the ambient atmosphere containing 3 – 100% of hydrogen, heat treatment of 1 – 12 hours is performed at 300–450 degrees C, and a hydrogen treating is performed. This process is a process which carries out hydrogen termination of the azygos joint hand of the semi-conductor film by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0112] In addition, a hydrogen treating may be put in while forming the 1st interlayer insulation film 336. That is, after forming the nitriding oxidation silicon film of 200nm thickness, a hydrogen treating may be performed as mentioned above, and it may remain after that, and the oxidation silicon film of 800nm thickness may be formed.

[0113] Next, a contact hole is formed to the 1st interlayer insulation film 336, and source wiring 337–340 and the drain wiring 341–343 are formed. In addition, in this example, it considers as the cascade screen of the three-tiered structure which carried out the aluminum film which contains [ this electrode ] 100nm and Ti for Ti film by 300nm, and carried out continuation formation of the 150nm of the Ti film by the spatter. Of course, other electric conduction film is sufficient.

[0114] Next, the 1st passivation film 344 is formed by the thickness of 50–500nm (typically 200–300nm). In this example, the nitriding oxidation silicon film of 300nm thickness is used as the 1st passivation film 344. A silicon nitride film may be substituted for this. Of course, it is possible to use the same ingredient as the 1st passivation film 41 of drawing 2.

[0115] In addition, it is effective to perform plasma treatment using the gas which contains H<sub>2</sub> and NH<sub>3</sub> grade hydrogen in advance of formation of the nitriding oxidation silicon film. The membranous quality of the 1st passivation film 344 is improved because the hydrogen excited by this pretreatment heat-treats by supplying the 1st interlayer insulation film 336. Since the hydrogen added by the 1st interlayer insulation film 336 at it and coincidence is spread in a lower layer side, a barrier layer can be hydrogenated effectively.

[0116] Next, the 2nd interlayer insulation film 345 which consists of organic resin as shown in drawing 6 (B) is formed. As organic resin, polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. can be used. Since especially the 2nd interlayer insulation film 345 has the strong implications of flattening, its acrylic excellent in surface smoothness is desirable. At this example, the acrylic film is formed by the thickness which can fully carry out flattening of the level difference formed of TFT. desirable — 1–5 micrometers (still more preferably 2–4 micrometers) — then, it is good.

[0117] Next, the contact hole which reaches the drain wiring 343 is formed in the 2nd interlayer insulation film 345 and the 1st passivation film 344, and the pixel electrode 346 is formed. In this example, the aluminium alloy film (aluminum film containing 1wt% titanium) of 300nm thickness is formed as a pixel electrode 346. In addition, 347 is the edge of an adjoining pixel electrode.

[0118] Next, as shown in drawing 6 (C), the alkali compound 348 is formed. In this example, the thickness of 5nm is aimed at and the lithium fluoride film is formed with vacuum deposition. And the EL layer 349 of 100nm thickness is formed with a spin coat method on it.

[0119] In this example, the ingredient indicated by JP,8-96959,A or JP,9-63770,A is used as a polymer system organic substance in which white luminescence is shown. For example, what is necessary is just to use what dissolved PVK (polyvinyl carbazole), Bu-PBD (2-(4'-tert-buthylphenyl)- 5-(4"-biphenyl)- 1, 3, 4-OKISA diazole), a coumarin 6, DCM1 (4-dicyanomethylene -2 - methyl-6-p-dimethylaminostyryl-4H-pyran) and TPB (tetra-phenyl butadiene), and the Nile red in 1 and 2-dichloromethane.

[0120] In addition, although the EL layer 349 is made into the monolayer structure of only the above-mentioned luminous layer in this example, an electron injection layer, an electronic transportation layer, an electron hole transportation layer, a hole-injection layer, an electronic blocking layer, or an electron hole component layer may be prepared if needed.

[0121] Next, the anode plate 350 which covers the EL layer 349 and becomes by the transparence electric conduction film of 200nm thickness is formed. In this example, the film which consists of a compound of indium oxide and a zinc oxide is formed with vacuum deposition, patterning is performed, and it considers as an anode plate.

[0122] The 2nd passivation film 351 which becomes the last with a silicon nitride film by the plasma-CVD method is

formed in the thickness 10nm. This 2nd passivation film 351 protects EL layer 349 from moisture etc. Moreover, the role which lessens the heat generated in the EL layer 349 is also played. In order to heighten the heat dissipation effectiveness further, it is also effective to carry out the laminating of a silicon nitride film and the carbon film (preferably diamond-like carbon film), and to consider as the 2nd passivation film.

[0123] In this way, the active-matrix mold EL display of structure as shown in drawing 6 (C) is completed. By the way, by arranging TFT of the optimal structure not only for the pixel section but the drive circuit section, the active-matrix mold EL display of this example shows very high dependability, and its operating characteristic may also improve.

[0124] First, TFT which has the structure of reducing hot carrier impregnation so that a working speed may not be reduced as much as possible is used as an n channel mold TFT205 of the CMOS circuit which forms a drive circuit. In addition, as a drive circuit here, a shift register, a buffer, a level shifter, a sampling circuit (sample and hold circuit), etc. are included. In performing a digital drive, signal transformation circuits, such as a D/A converter, are also included and it gets.

[0125] In the case of this example, as shown in drawing 6 (C), in the LDD field 357, the barrier layer of the n channel mold 205 has lapped with the gate electrode 313 through gate dielectric film 311 including the source field 355, the drain field 356, the LDD field 357, and the channel formation field 358.

[0126] The consideration for not reducing a working speed forms the LDD field only in a drain field side. Moreover, it is better for this n channel mold TFT205 to seldom have cared about the OFF state current value, and to attach greater importance than to it to a working speed. Therefore, as for the LDD field 357, it is desirable to keep in a gate electrode in piles completely, and to lessen a resistance component as much as possible. Namely, it is better to abolish the so-called offset.

[0127] Moreover, since degradation by hot carrier impregnation hardly worries the p channel mold TFT206 of a CMOS circuit, it is not necessary to prepare especially a LDD field. Of course, it is also possible to prepare a LDD field like the n channel mold TFT205, and to take the cure against a hot carrier.

[0128] In addition, also in a drive circuit, a sampling circuit is a particular for a while compared with other circuits, and a high current flows a channel formation field bidirectionally. That is, the role of a source field and a drain field interchanges. Furthermore, it is desirable to arrange TFT which needs to hold down an OFF state current value low as much as possible, and has the function of middle extent of TFT for switching and TFT for current control in such semantics.

[0129] Therefore, as for the n channel mold TFT which forms a sampling circuit, it is desirable to arrange TFT of structure as shown in drawing 10. As shown in drawing 10, a part of LDD fields 901a and 901b lap with the gate electrode 903 through gate dielectric film 902. This effectiveness is as explanation of TFT202 for current control having described, and, in the case of a sampling circuit, the points established in the form which faces across the channel formation field 904 differ.

[0130] In addition, if it completes to drawing 6 (C) in fact, EL layer will be enclosed with a closed space using the opposite substrate which has a light-shielding film as drawing 1 and drawing 2 explained. In that case, the interior of a closed space is made into an inert atmosphere, or the dependability (life) of EL layer improves by arranging a hygroscopic material (for example, barium oxide) inside. Enclosure processing of this EL layer may divert the technique used for the cel \*\*\* process of a liquid crystal display to some other purpose.

[0131] Moreover, if enclosure processing of EL layer is completed, the connector (flexible print circuit: FPC) for connecting the terminal and external signal terminal which were taken about from the component formed on the substrate or the circuit will be attached, and it will complete as a product.

[0132] The configuration of the active-matrix mold EL display of this example is explained here using the perspective view of drawing 7. The active-matrix mold EL display of this example consists of the pixel section 602 formed on the glass substrate 601, a gate side drive circuit 603, and a source side drive circuit 604. TFT605 for switching of the pixel section is the n channel mold TFT, and is arranged at the intersection of the gate wiring 606 connected to the gate side drive circuit 603, and the source wiring 607 connected to the source side drive circuit 604. Moreover, the drain of TFT605 for switching is connected to the gate of TFT608 for current control.

[0133] Furthermore, the source side of TFT606 for current control is connected to the current supply line 609. With structure like this example, the current supply line 609 is connected to the source of EL element 610, and EL element 610 is connected to the drain of TFT608 for current control.

[0134] When TFT608 for current control is the n channel mold TFT, the cathode of EL element 610 is electrically connected to a drain. Moreover, when TFT608 for current control is the p channel mold TFT, the anode plate of EL element 610 is electrically connected to a drain.

[0135] And the connection wiring (connection wiring) 612 and 613 for transmitting a signal to a drive circuit and the connection wiring 614 connected to the current supply line 609 are formed in FPC611 used as an external I/O terminal.

[0136] Moreover, an example of the circuitry of EL display shown in drawing 7 is shown in drawing 8. this example - EL - a display - the source - a side - a drive - a circuit - 701 - the gate - a side - a drive - a circuit - (- A -) - 707 - the gate - a side - a drive - a circuit - (- B -) - 711 - a pixel - the section - 706 - having - \*\*\*. In addition, it is the generic name with which the drive circuit included the source side processing circuit and the gate side drive circuit into this specification.

[0137] The source side drive circuit 701 is equipped with the shift register 702, the level shifter 703, the buffer 704, and the sampling circuit (sample and hold circuit) 705. Moreover, the gate side drive circuit (A) 707 is equipped with

the shift register 708, the level shifter 709, and the buffer 710. The gate drive circuit (B) 711 is also the same configuration.  
[0138]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-217072  
(P2001-217072A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト*(参考)
H 0 5 B 33/04		H 0 5 B 33/04	2 H 1 0 2
G 0 3 B 17/18		G 0 3 B 17/18	Z 3 K 0 0 7
G 0 9 F 9/00	3 3 8	G 0 9 F 9/00	3 3 8 5 C 0 9 4
	9/30		9/30 3 3 8 5 G 4 3 5
	3 4 9		3 4 9 C

審査請求 未請求 請求項の数14 O L (全 20 頁) 最終頁に続く

(21)出願番号 特願2000-281054(P2000-281054)  
(22)出願日 平成12年9月18日(2000.9.18)  
(31)優先権主張番号 特願平11-264672  
(32)優先日 平成11年9月17日(1999.9.17)  
(33)優先権主張国 日本(J P)  
(31)優先権主張番号 特願平11-264680  
(32)優先日 平成11年9月17日(1999.9.17)  
(33)優先権主張国 日本(J P)  
(31)優先権主張番号 特願平11-336248  
(32)優先日 平成11年11月26日(1999.11.26)  
(33)優先権主張国 日本(J P)

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72)発明者 水上 真由美  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72)発明者 小沼 利光  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

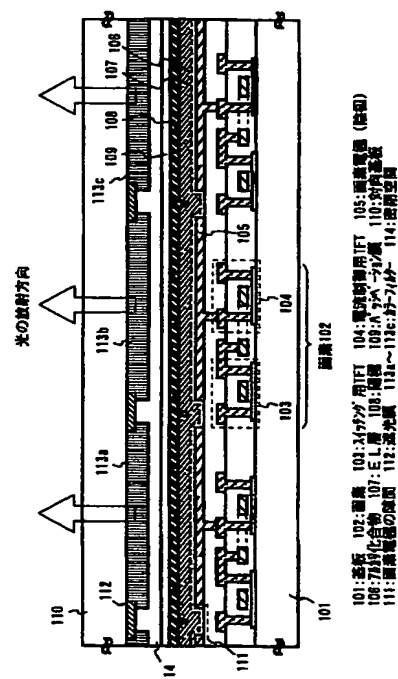
最終頁に続く

(54)【発明の名称】 E L表示装置及びその作製方法

(57)【要約】

【課題】 安価で高精細なE L表示装置を提供する。

【解決手段】 電流制御用T F T 1 0 4に接続された画素電極1 0 5を陰極とするE L素子を含む画素1 0 2が基板上に配列され、対向基板1 1 0には画素1 0 2の縁に対応した位置に遮光膜1 1 2が、画素1 0 2に対応した位置にカラーフィルター1 1 3が形成される。この遮光膜1 1 2により画素の輪郭が明瞭なものとなり、高精細な画像表示が可能となる。また、本願発明のE L表示装置は液晶表示装置の製造ラインの殆どを転用することができるため、設備投資の負担が少なく、総合的な製造コストが低い。



## 【特許請求の範囲】

【請求項 1】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板並びに前記アクティブマトリクス基板に貼り合わせられた対向基板を有し、前記対向基板には前記画素の縁に対応した位置に遮光膜が設けられていることを特徴とする E L 表示装置。

【請求項 2】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板並びに前記アクティブマトリクス基板に貼り合わせられた対向基板を有し、前記対向基板は前記アクティブマトリクス基板との間に密閉空間を形成するように貼り合わせられ、前記対向基板には前記画素の縁に対応した位置に遮光膜が設けられていることを特徴とする E L 表示装置。

【請求項 3】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板並びに前記アクティブマトリクス基板に貼り合わせられた対向基板を有し、前記対向基板には前記画素の縁に対応した位置に遮光膜が設けられ、且つ、前記画素に対応した位置にカラーフィルターが設けられていることを特徴とする E L 表示装置。

【請求項 4】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板並びに前記アクティブマトリクス基板に貼り合わせられた対向基板を有し、前記対向基板は前記アクティブマトリクス基板との間に密閉空間を形成するように貼り合わせられ、前記対向基板には前記画素の縁に対応した位置に遮光膜が設けられ、且つ、前記画素に対応した位置にカラーフィルターが設けられていることを特徴とする E L 表示装置。

【請求項 5】 請求項 3 または請求項 4 において、前記カラーフィルターは乾燥剤を含有した樹脂からなることを特徴とする E L 表示装置。

【請求項 6】 請求項 1 乃至請求項 5 のいずれかにおいて、前記遮光膜は乾燥剤を含有した樹脂からなることを特徴とする E L 表示装置。

【請求項 7】 請求項 1 乃至請求項 5 のいずれかにおいて、前記 E L 素子はポリマー系有機物質からなる発光層を含むことを特徴とする E L 表示装置。

【請求項 8】 請求項 1 乃至請求項 7 のいずれかに記載の E L 表示装置を用いたことを特徴とする電子装置。

【請求項 9】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板を形成し、対向基板に遮光膜を形成し、前記遮光膜と前記画素の縁とが前記対向基板の法線方向から見て重なるように、前記遮光膜の形成された対向基板を前記アクティブマトリクス基板に貼り合わせるこ

を特徴とする E L 表示装置の作製方法。

【請求項 10】 T F T、該 T F T に電氣的に接続された画素電極及び該画素電極を陰極とする E L 素子を含む画素が配列されたアクティブマトリクス基板を形成し、対向基板に遮光膜及びカラーフィルターを形成し、前記遮光膜と前記画素の縁とが、並びに前記カラーフィルターと前記画素とが前記対向基板の法線方向から見て重なるように、前記遮光膜の形成された対向基板を前記アクティブマトリクス基板に貼り合わせることを特徴とする E L 表示装置の作製方法。

【請求項 11】 請求項 10 において、前記カラーフィルターとして乾燥剤を含有した樹脂が用いられることを特徴とする E L 表示装置の作製方法。

【請求項 12】 請求項 9 乃至請求項 11 のいずれかにおいて、前記アクティブマトリクス基板と前記対向基板との間には密閉空間が形成されることを特徴とする E L 表示装置の作製方法。

【請求項 13】 請求項 9 乃至請求項 11 のいずれかにおいて、前記遮光膜として乾燥剤を含有した樹脂が用いられることを特徴とする E L 表示装置の作製方法。

【請求項 14】 請求項 9 乃至請求項 11 のいずれかにおいて、前記 E L 素子の発光層としてポリマー系有機物質が用いられることを特徴とする E L 表示装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本願発明は半導体素子（半導体薄膜を用いた素子、代表的には薄膜トランジスタ）を基板上に作り込んで形成された E L（エレクトロルミネッセンス）表示装置及びその E L 表示装置を表示部として有する電子装置に関する。

## 【0002】

【従来の技術】 近年、基板上に薄膜トランジスタ（以下、T F T という）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】 このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】 アクティブマトリクス型 E L 表示装置は、各画素のそれぞれに T F T でなるスイッチング素子を設け、そのスイッチング素子によって電流制御を行う駆動素子を動作させて E L 層（厳密には発光層）を発光させ

る。例えば特開平10-189252号に記載されたEL表示装置がある。

#### 【0005】

【発明が解決しようとする課題】本願発明は、安価で高精細な画像表示の可能なEL表示装置を提供することを課題とする。そして、そのようなEL表示装置を表示部として用いることにより表示部の視認性が高い電子装置を提供することを課題とする。

#### 【0006】

【課題を解決するための手段】本願発明について図1を用いて説明する。図1において、101は絶縁表面を有する基板であり、石英基板などの絶縁基板または表面に絶縁膜を設けたガラス基板、セラミックス基板、結晶化ガラス基板、金属基板もしくはプラスチック基板を用いることができる。

【0007】基板101上には画素102が形成される。なお、図1では三つの画素を図示しているが、実際にはさらに複数の画素がマトリクス状に形成される。また、ここでは三つの画素の一つについて説明するが、他の画素も同じ構造である。

【0008】画素102には各々スイッチング用TFT103と電流制御用TFT104の二つのTFTが形成される。このとき、スイッチング用TFT103のドレインは電流制御用TFT104のゲートに電氣的に接続されている。さらに、電流制御用TFT104のドレインには画素電極（この場合、EL素子の陰極を兼ねる）105が電氣的に接続される。こうして画素102が形成される。

【0009】TFTの各配線及び画素電極は低抵抗な金属膜を用いて形成すれば良い。ここではアルミニウム合金膜を用いると良い。

【0010】画素電極105まで形成されたら、全ての画素電極の上にアルカリ金属もしくはアルカリ土類金属を含む絶縁性化合物（以下、アルカリ化合物という）106が形成される。なお、アルカリ化合物106の輪郭を点線で示しているのは数nm程度と膜厚が薄いため層状に形成されているのか、島状に点在しているのか不明だからである。

【0011】また、アルカリ化合物としては、フッ化リチウム(LiF)、酸化リチウム(Li<sub>2</sub>O)、フッ化バリウム(BaF<sub>2</sub>)、酸化バリウム(BaO)、フッ化カルシウム(CaF<sub>2</sub>)、酸化カルシウム(CaO)、酸化ストロンチウム(SrO)または酸化セシウム(Cs<sub>2</sub>O)を用いることができる。これらは絶縁性であるため、層状に形成されたとしても画素電極間のショート（短絡）を招くようなことはない。

【0012】勿論、MgAg電極のような公知の導電性を有する材料を陰極として用いることも可能であるが、画素電極同士が短絡しないように、陰極自体を選択的に設けるか、パターンニングを行う必要がある。

【0013】アルカリ化合物106が形成されたら、その上にEL層（エレクトロルミネッセンス層）107が形成される。EL層107は公知の材料や構造を用いることができるが本願発明では白色発光の可能な材料を用いる。構造としては、再結合の場を提供する発光層だけでEL層としても良いし、必要に応じて電子注入層、電子輸送層、正孔輸送層、電子阻止層、正孔素子層もしくは正孔注入層を積層しても良い。本明細書中では、キャリアの注入、輸送または再結合が行われる層をすべて含めてEL層と呼ぶ。

【0014】また、EL層107として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。しかし、スピンコート法や印刷法など容易な成膜方法で形成できるポリマー系有機物質を用いることが望ましい。なお、図1の構造は白色発光のEL層とカラーフィルターとを組み合わせたカラー表示方式である。

【0015】また、青色又は青緑発光のEL層と蛍光体（蛍光性の色変換層：CCM）とを組み合わせたカラー表示方式、RGBに対応したEL層を重ねることでカラー表示を行う方式も採用できる。

【0016】EL層107の上には、陽極108として透明導電膜が形成される。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）、酸化インジウムと酸化亜鉛との化合物、酸化スズまたは酸化亜鉛などを用いることが可能である。

【0017】また、陽極108の上にはパッシベーション膜109として絶縁膜が設けられる。パッシベーション膜109としては、窒化珪素膜、窒化酸化珪素膜（SiO<sub>x</sub>N<sub>y</sub>で表される）を用いることが好ましい。酸化珪素膜を用いることも可能であるが、なるべく酸素の含有量が少ない絶縁膜が好ましい。

【0018】ここまで完成した基板を本明細書ではアクティブマトリクス基板と呼ぶ。即ち、TFT、そのTFTに電氣的に接続された画素電極及びその画素電極を陰極とするEL素子（陰極、EL層及び陽極からなるコンデンサ）の形成された基板をアクティブマトリクス基板と呼ぶ。

【0019】さらに、アクティブマトリクス基板には、EL素子を封入するようにして対向基板110が貼り付けられ、その対向基板110には遮光膜112及びカラーフィルター113a~113cが設けられる。

【0020】このとき観測者の視線方向（対向基板の法線方向）から見て画素電極105のなす隙間111が隠されるように遮光膜112を設ける、即ち、対向基板の法線方向から見て遮光膜112と画素の縁とが重なる（一致する）ように設ける。これは、その部分が非発光部であることと、画素電極の端部では電界が複雑になり所望の輝度もしくは色度で発光させることができないからである。



【0021】即ち、遮光膜112を画素電極105の縁（端部）及び隙間111に対応した位置に設けることで画素間の輪郭を明瞭なものとするができる。なお、本発明では画素電極の輪郭が画素の輪郭に一致するため、遮光膜112は画素の縁に対応した位置に設けられているとも言える。また、画素の縁に対応した位置とは、前述の対向基板の法線方向から見て画素の縁と重なる位置を指す。

【0022】また、カラーフィルター113a~113cは、113aが赤色、113bが緑色、113cが青色の光を抽出するカラーフィルターである。これらのカラーフィルターは、画素102に対応する位置に形成され、これにより画素ごとに取り出す光の色を変えることができる。原理的にはカラーフィルターを用いた液晶表示装置のカラー化方式と同様である。なお、画素に対応した位置とは、前述の対向基板の法線方向から見て画素と重なる（一致する）位置を指す。即ち、対向基板の法線方向から見てカラーフィルター113a~113cとそれに対応する各画素とが重なるように設ける。

【0023】但し、カラーフィルターは特定の波長の光を抽出することで透過した光の色純度を向上させるフィルターである。従って、取り出すべき波長の光成分が少ない場合には、その波長の光の輝度が極端に小さかったり、色純度が悪かったりという不具合を生じうる。従って、本願発明で用いることのできる白色発光のEL層に限定はないが、白色発光のスペクトル成分の中に、可能な限り純度の高い赤色、緑色及び青色の発光スペクトルを含むことが望ましい。

【0024】ここで本願発明で用いるEL層の代表的なx-y色度図を図15に示す。図15（A）は公知の白色発光のポリマー系有機物質が発する光の色度座標を示している。公知の材料では色純度の高い赤色が実現されておらず、赤色の代用に黄色や橙色が用いられている。従って、加法混色により得られた白色は、やや緑みのある白色や黄色みのある白色となる。また、赤色、緑色及び青色の各々の発光スペクトルはブロードなものであるため、それらを混ぜるとやはり純度の高い単色光を取り出すのが難しくなってしまう。

【0025】そのため、現状では図16（A）の色度座標で示されるような有機物質をEL層として用いることでも十分にカラー表示を行うことができるが、さらに純度が高く明るいカラー表示を得るためには、図16

（B）の色度座標で示されるような有機物質をEL層として用いることが望ましい。

【0026】図16（B）の色度座標で示される有機物質は、半値幅が狭く（発光ピークが鋭く）、純度の高い単色光が得られる有機物質を混ぜて白色発光のEL層を形成した場合の例である。カラーフィルターから色純度の高い赤色、緑色及び青色を得るためには、色純度の高い赤色、緑色及び青色の発光スペクトルを持つ材料を混

ぜて白色発光のEL層を形成する必要がある。また、純度だけでなく半値幅の狭いスペクトルが得られる材料を用いることでスペクトルの鋭い白を再現することができる。そして、このような白色発光のEL層を本願発明のEL層として用いると、さらに明るいカラー画像を表示することが可能となる。

【0027】なお、上述のカラーフィルター113a~113cに酸化バリウム、酸化カルシウム、酸化リチウムなどの周期表の1族もしくは2族に属する元素の酸化物を乾燥剤として含有させることもできる。この場合、赤色、緑色または青色の顔料と乾燥剤とを含有させた樹脂膜をカラーフィルターとすれば良い。

【0028】ところで、ここでは図示されないが、対向基板110はシーリング剤によってアクティブマトリクス基板に貼り付けられており、114で示される空間は密閉空間となっている。

【0029】対向基板110としては、光の進行を妨げないように透光性の基板を用いる必要がある。例えば、ガラス基板、石英基板またはプラスチック基板が好ましい。また、遮光膜112としては、黒色顔料やカーボンを含む樹脂やチタン膜などの遮光性の高い薄膜を用いれば良い。なお、上述のカラーフィルター113a~113c同様に遮光膜112に酸化バリウム、酸化カルシウム、酸化リチウムなどの周期表の1族もしくは2族に属する元素の酸化物を乾燥剤として含有させることも有効である。

【0030】また、密閉空間114は不活性ガス（希ガスや窒素ガス）を充填しても良いし、不活性液体を充填しても良い。また、透光性の接着剤を充填して、基板全体を接着させても構わない。さらに、この密閉空間114には酸化バリウム等の乾燥剤を設けておくことが好ましい。EL層107は水分に極めて弱いため、密閉空間114には極力水分が侵入しないようにすることが望ましい。

【0031】以上のような構成でなる本願発明のEL表示装置はEL素子から発した光が対向基板を透過して放射されて観測者の目に入る。そのため観測者は対向基板側から画像を認識することができる。このとき、本願発明のEL表示装置の特徴は、まず、EL素子と観測者との間に、画素電極105の隙間111を隠すように遮光膜112を設ける点である。これにより画素間の輪郭が明瞭なものとなり、高精細な画像表示が可能となる。なお、この効果は対向基板110に遮光膜112が設けられていることにより生じる効果であり、少なくとも遮光膜112が設けられていれば得られる効果である。

【0032】また、遮光膜112及びカラーフィルター113は対向基板110に設けられ、且つ、対向基板110はEL素子をEL素子の劣化を抑制するシーリング材としての機能をも兼ねる。遮光膜112やカラーフィルター113をアクティブマトリクス基板側に設ける

と、成膜工程とパターニング工程が増えるが、対向基板に設けることによりアクティブマトリクス基板の作製工程数の増加を抑えることができる。

【0033】また、本願発明のように、対向基板110に遮光膜112やカラーフィルター113を設けて、さらに対向基板とアクティブマトリクス基板とをシール剤で接着するという構造は、液晶表示装置の構造に共通する点がある。即ち、現存する液晶表示装置の殆どの製造ラインを転用して本願発明のEL表示装置を作製することが可能であり、設備投資を大幅に削減することで総合的な製造コストの低減が可能である。

【0034】以上のように、本願発明を実施することにより安価で高精細な画像表示を可能とするEL表示装置が得られる。そして、そのようなEL表示装置を表示部として用いることにより表示部の視認性が高い電子装置が得られる。

#### 【0035】

【発明の実施の形態】本発明の実施の形態について、図2、図3を用いて説明する。図2に示したのは本願発明であるEL表示装置の画素部の断面図であり、図3

(A)はその上面図、図3(B)はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部(画像表示部)が形成される。なお、図3(A)をA-A'で切断した断面図が図2に相当する。従って図2及び図3で共通の符号を用いているので、適宜両図面を参照すると良い。また、図3の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0036】図2において、11は基板、12は下地となる絶縁膜(以下、下地膜という)である。基板11としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板(プラスチックフィルムも含む)を用いることができる。

【0037】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素(シリコン)を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜( $\text{SiO}_x\text{N}_y$ で示される)など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【0038】また、下地膜12に放熱効果を持たせることによりTFTの発熱を発散させることはTFTの劣化又はEL素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

【0039】ここでは画素内に二つのTFTを形成している。201はスイッチング用素子として機能するTFT(以下、スイッチング用TFTという)、202はEL素子へ流す電流量を制御する電流制御用素子として機

能するTFT(以下、電流制御用TFTという)であり、どちらもnチャネル型TFTで形成されている。

【0040】nチャネル型TFTの電界効果移動度はpチャネル型TFTの電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャネル型TFTの方が小さくできる。そのため、nチャネル型TFTを電流制御用TFTとして用いた方が表示部の有効面積が広がるので好ましい。

【0041】pチャネル型TFTはホットキャリア注入が殆ど問題にならず、オフ電流値が低いといった利点がある。また、スイッチング用TFTとして用いる例や電流制御用TFTとして用いる例が既に報告されている。しかしながら本願発明では、LDD領域の位置を異ならせた構造とすることでnチャネル型TFTにおいてもホットキャリア注入の問題とオフ電流値の問題を解決し、全ての画素内のTFT全てをnチャネル型TFTとしている点にも特徴がある。

【0042】ただし、本願発明において、スイッチング用TFTと電流制御用TFTをnチャネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャネル型TFTを用いることも可能である。

【0043】スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

【0044】また、図3に示すように、ゲート電極19a、19bは別の材料(ゲート電極19a、19bよりも低抵抗な材料)で形成されたゲート配線211によって電気的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造(直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造)であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本願発明では画素のスイッチング素子201をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0045】また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0046】さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を介してゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0047】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0048】以上のように、マルチゲート構造のTFTを画素のスイッチング素子201として用いることにより、十分にオフ電流値の低いスイッチング素子を実現することができる。そのため、特開平10-189252号公報の図2のようなコンデンサーを設けなくても十分な時間（選択されてから次に選択されるまでの間）電流制御用TFTのゲート電圧を維持しうる。

【0049】次に、電流制御用TFT202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0050】図2に示すように、スイッチング用TFTのドレインは電流制御用TFTのゲートに接続されている。具体的には電流制御用TFT202のゲート電極35はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電気的に接続されている。また、ソース配線36は電源供給線212に接続される。

【0051】電流制御用TFT202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT202に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5～2μm（好ましくは1～1.5μm）となるようにする。

【0052】以上のことを踏まえると、図9に示すように、スイッチング用TFTのチャネル長をL1（但しL1=L1a+L1b）、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1～5μm（代表的には0.5～2μm）、W2は0.5～10μm（代表的には2～5μm）とするのが好ましい。また、L1は0.2～18μm（代表的には2～15μm）、L2は1～50μm（代表的には10～30μm）とするのが好ましい。但し、本願発明は以上の数値に限定されるものではない。

【0053】また、スイッチング用TFT201に形成されるLDD領域の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0054】また、図2に示したEL表示装置は、電流

制御用TFT202において、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられ、且つ、LDD領域33がゲート絶縁膜18を介してゲート電極35に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0055】電流制御用TFT202は、EL素子203を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流値が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流値も抑える必要がある。

【0056】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体をゲート電極に重ねてしまうとオフ電流値が増加してしまうため、本出願人はゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流値対策とを同時に解決している。

【0057】この時、ゲート電極に重なったLDD領域の長さは0.1～3μm（好ましくは0.3～1.5μm）にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまう。また、ゲート電極に重ならないLDD領域の長さは1.0～3.5μm（好ましくは1.5～2.0μm）にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流値を低減する効果が弱くなる。

【0058】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域31とチャネル形成領域34との間には設けない方が好ましい。電流制御用TFTはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0059】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

【0060】次に、41は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁

膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜41に放熱効果を持たせることは、EL層の熱劣化を防ぐ意味でも有効である。

【0061】放熱効果をもつ薄膜としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。例えば、窒化アルミニウム（ $Al_xNy$ ）に代表されるアルミニウムの窒化物、炭化珪素（ $Si_xCy$ ）に代表される珪素の炭化物、窒化珪素（ $Si_xNy$ ）に代表される珪素の窒化物、窒化ホウ素（ $B_xNy$ ）に代表されるホウ素の窒化物、リン化ホウ素（ $B_xPy$ ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ $Al_xO_y$ ）に代表されるアルミニウムの酸化物は熱伝導率が  $20\text{ Wm}^{-1}\text{ K}^{-1}$  であり、好ましい材料の一つと言える。なお、上記透光性材料において、 $x$ 、 $y$  は任意の整数である。

【0062】なお、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $AlN_xO_y$  で示される窒化酸化アルミニウムを用いることも可能である。なお、上記窒化酸化アルミニウムにおいて、 $x$ 、 $y$  は任意の整数である。

【0063】また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む絶縁膜（但し、Mは希土類元素の少なくとも一種、好ましくはCe（セリウム）、Yb（イッテルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。

【0064】また、ダイヤモンド薄膜またはアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）などの炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。

【0065】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、窒化珪素膜（ $Si_xNy$ ）や窒化酸化珪素膜（ $SiO_xNy$ ）とを積層することは有効である。なお、上記窒化珪素膜又は窒化酸化珪素膜において、 $x$ 、 $y$  は任意の整数である。

【0066】第1パッシベーション膜41の上には、各TFTを覆うような形で第2層間絶縁膜（平坦化膜と言っても良い）42を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜42としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。勿

論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0067】第2層間絶縁膜42によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0068】また、43は遮光性を有する導電膜でなる画素電極（EL素子の陰極に相当する）であり、第2層間絶縁膜42及び第1パッシベーション膜41にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線37に接続されるように形成される。

【0069】画素電極43の上にはアルカリ化合物44として、5～10nm厚のフッ化リチウム膜が蒸着法により形成される。フッ化リチウム膜は絶縁膜なので膜厚が厚すぎるとEL層に電流を流すことができなくなってしまう。また、層状に形成されずに島状に点在するように形成されても問題はない。

【0070】次にEL層45が形成される。本実施形態では、ポリマー系有機物質をスピンコート法にて形成する。ポリマー系有機物質としては公知のあらゆる材料を用いることが可能である。また、本実施形態ではEL層45として発光層を単層で用いるが正孔輸送層や電子輸送層と組み合わせた積層構造の方が発光効率は高いものが得られる。但し、ポリマー系有機物質を積層する場合は蒸着法で形成する低分子有機物質と組み合わせることが望ましい。スピンコート法では有機溶媒にEL層となる有機物質を混合して塗布するので、下地に有機物質があると再び溶解してしまう恐れがある。

【0071】本実施形態で用いることのできる代表的なポリマー系有機物質としては、ポリパラフェニレンビレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などの高分子材料が挙げられる。これらのポリマー系有機物質で電子輸送層、発光層、正孔輸送層または正孔注入層を形成するには、ポリマー前駆体の状態で塗布し、それを真空中で加熱（焼成）することによりポリマー系有機物質に転化すれば良い。

【0072】具体的には、発光層となる白色発光を示すポリマー系有機物質として、特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いれば良い。例えば、1, 2-ジクロロメタンに、PVK（ポリビニルカルバゾール）、Bu-PBD（2-（4'-tert-ブチルフェニル）-5-（4'-ビフェニル）-1, 3, 4-オキサジアゾール）、クマリン6、DCM1（4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン）、TPB（テトラフェニルブタジエン）、ナイルレッドを溶解したものをを用いれば良い。このとき膜厚は30～150



nm (好ましくは40~100nm) とすれば良い。また、正孔輸送層としては、ポリマー前駆体であるポリテトラヒドロチオフェニルフェニレンを用い、加熱によりポリフェニレンビニレンとする。膜厚は30~100nm (好ましくは40~80nm) とすれば良い。

【0073】このように、ポリマー系有機物質は、ホスト材料を溶解させた溶液中に蛍光色素を添加することで容易に色調整が可能であるため、白色発光を行う場合には特に有効である。また、ここではポリマー系有機物質を用いてEL素子を形成する例を示しているが、低分子系有機物質を用いても構わない。さらには、EL層として無機物質を用いても良い。

【0074】以上の例は本願発明のEL層として用いることのできる有機物質の一例であって、本願発明を限定するものではない。

【0075】また、EL層45を形成する際、処理雰囲気は極力水分の少ない乾燥雰囲気とし、不活性ガス中で行うことが望ましい。EL層は水分や酸素の存在によって容易に劣化してしまうため、形成する際は極力このような要因を排除しておく必要がある。例えば、ドライ窒素雰囲気、ドライアルゴン雰囲気等が好ましい。そのためには、塗布用処理室や焼成用処理室を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で処理することが望ましい。

【0076】以上のようにしてEL層45を形成したら、次に透明導電膜でなる陽極46及び第2パッシベーション膜47が形成される。本実施形態では陽極46として、酸化インジウムと酸化亜鉛の化合物でなる導電膜を用いる。これに少量のガリウムを添加しても良い。また、第2パッシベーション膜47としては、10nm~1μm (好ましくは200~500nm) の厚さの窒化珪素膜を用いる。

【0077】なお、上述のようにEL層は熱に弱いので、陽極46及び第2パッシベーション膜47はなるべく低温 (好ましくは室温から120℃までの温度範囲) で成膜するのが望ましい。従って、プラズマCVD法、真空蒸着法又は溶液塗布法 (スピンコート法) が望ましい成膜方法と言える。

【0078】こうして完成したアクティブマトリクス基板に対向して、対向基板48が設けられる。本実施形態では対向基板48としてガラス基板を用いる。そして、対向基板48には黒色顔料を分散させた樹脂でなる遮光膜49a、49bと、赤色、緑色または青色の顔料を分散させた樹脂でなるカラーフィルター50が形成される。この遮光膜49a、49bは画素電極43と隣接する画素電極との隙間を隠すように配置される。このとき、遮光膜49a、49bに酸化バリウム等の乾燥剤を含有させておくことは有効である。乾燥剤としては他にも特開平9-148066号公報に記載されたような材料を用いることができる。また、カラーフィルター50は画素10



2に対応した位置に形成される。

【0079】また、アクティブマトリクス基板と対向基板48はシール剤 (図示せず) によって接着され、密閉空間51が形成される。本実施形態では、密閉空間51をアルゴンガスで充填している。勿論、この密閉空間51内に上記乾燥剤を配置することも可能である。

【0080】本実施形態のEL表示装置は図2のような構造の画素からなる画素部を有し、画素内において機能に応じて構造の異なるTF Tが配置されている。即ち、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強い電流制御用TF Tとを同じ画素内に形成することにより、高い信頼性を有し、且つ、高精細な画像表示が可能なEL表示装置が得られる。

【0081】

【実施例】〔実施例1〕本発明の実施例について図4~図6を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTF Tを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0082】まず、図4(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10~25wt%としておくことと良い。

【0083】また、下地膜301の一部として、図2に示した第1パッシベーション膜41と同様の材料からなる絶縁膜を設けることは有効である。電流制御用TF Tは大電流を流すことになるので発熱しやすく、なるべく近いところに放熱効果のある絶縁膜を設けておくことは有効である。

【0084】次に下地膜301の上に50nmの厚さの非晶質珪素膜 (図示せず) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20~100nmの厚さであれば良い。

【0085】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜 (多結晶シリコン膜若しくはポリシリコン膜ともいう) 302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0086】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0087】本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0088】次に、図4(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0089】そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0090】この工程により形成されるn型不純物領域305、306には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。

【0091】次に、図4(C)に示すように、保護膜303を除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が熔融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

【0092】なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550℃程度の熱処理を行えば良い。

【0093】この工程によりn型不純物領域305、306の端部、即ち、n型不純物領域305、306の周囲に存在するn型不純物元素を添加していない領域との

境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0094】次に、図4(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)307~310を形成する。

【0095】次に、図4(E)に示すように、活性層307~310を覆ってゲート絶縁膜311を形成する。ゲート絶縁膜311としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0096】次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極312~316を形成する。このゲート電極312~316の端部をテーパ状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電気的に接続された引き回しのための配線(以下、ゲート配線という)とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

【0097】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターニング可能な材料が好ましい。

【0098】代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0099】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜のはがれを防止することができる。

【0100】またこの時、ゲート電極313、316はそれぞれn型不純物領域305、306の一部とゲート絶縁膜311を介して重なるように形成する。この重なる

った部分が後にゲート電極と重なったLDD領域となる。

【0101】次に、図5(A)に示すように、ゲート電極312~316をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域317~323にはn型不純物領域305、306の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>(典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度が好ましい。

【0102】次に、図5(B)に示すように、ゲート電極等を覆う形でレジストマスク324a~324cを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域325~331を形成する。ここでもフォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>(典型的には $2 \times 10^{20} \sim 5 \times 10^{21}$  atoms/cm<sup>3</sup>)となるように調節する。

【0103】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTでは、図5(A)の工程で形成したn型不純物領域320~322の一部を残す。この残された領域が、図2におけるスイッチング用TFTのLDD領域15a~15dに対応する。

【0104】次に、図5(C)に示すように、レジストマスク324a~324cを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域333、334を形成する。ここではジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>(典型的には $5 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>)の濃度となるようにボロンを添加する。

【0105】なお、不純物領域333、334には既に $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0106】次に、レジストマスク332を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0107】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰

囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0108】次に、活性化工程が終了したら300nm厚のゲート配線335を形成する。ゲート配線335の材料としては、アルミニウム(Al)又は銅(Cu)を主成分(組成として50~100%を占める。)とする金属膜を用いれば良い。配置としては図3のゲート配線211のように、スイッチング用TFTのゲート電極314、315(図3のゲート電極19a、19bに相当する)を電氣的に接続するように形成する。(図5(D))

【0109】このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【0110】次に、図6(A)に示すように、第1層間絶縁膜336を形成する。第1層間絶縁膜336としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0111】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0112】なお、水素化処理は第1層間絶縁膜336を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0113】次に、第1層間絶縁膜336に対してコンタクトホールを形成し、ソース配線337~340と、ドレイン配線341~343を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0114】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜344を形成する。本実施例では第1パッシベーション膜344として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。勿論、図2の第1パッシベーション膜41と同様の材料を用いることが可能である。

【0115】なお、窒化酸化珪素膜の形成に先立ってH

2、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜336に供給され、熱処理を行うことで、第1パッシベーション膜344の膜質が改善される。それと同時に、第1層間絶縁膜336に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0116】次に、図6(B)に示すように有機樹脂からなる第2層間絶縁膜345を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜345は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTF Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 μm（さらに好ましくは2～4 μm）とすれば良い。

【0117】次に、第2層間絶縁膜345及び第1パッシベーション膜344にドレイン配線343に達するコンタクトホールを形成し、画素電極346を形成する。本実施例では画素電極346として300 nm厚のアルミニウム合金膜（1 wt%のチタンを含有したアルミニウム膜）を形成する。なお、347は隣接する画素電極の端部である。

【0118】次に、図6(C)に示すように、アルカリ化合物348を形成する。本実施例ではフッ化リチウム膜を5 nmの厚さを狙って蒸着法により形成する。そして、その上に100 nm厚のEL層349をスピコート法により形成する。

【0119】本実施例では、白色発光を示すポリマー系有機物質として、特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いる。例えば、1, 2-ジクロロメタンに、PVK（ポリビニルカルバゾール）、Bu-PBD（2-（4'-tert-ブチルフェニル）-5-（4''-ピフェニル）-1, 3, 4-オキサジアゾール）、クマリン6、DCM1（4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチル-4H-ピラン）、TPB（テトラフェニルブタジエン）、ナイルレッドを溶解したものを用いれば良い。

【0120】なお、本実施例ではEL層349を上記発光層のみの単層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けても良い。

【0121】次に、EL層349を覆って200 nm厚の透明導電膜でなる陽極350を形成する。本実施例では酸化インジウムと酸化亜鉛との化合物からなる膜を蒸着法により形成し、パターニングを行って陽極とする。

【0122】最後に、プラズマCVD法により窒化珪素膜でなる第2パッシベーション膜351を100 nmの厚さに形成する。この第2パッシベーション膜351は

EL層349を水分等から保護する。また、EL層349で発生した熱を逃がす役割も果たす。放熱効果をさらに高めるために、窒化珪素膜と炭素膜（好ましくはダイヤモンドライクカーボン膜）を積層して第2パッシベーション膜とすることも有効である。

【0123】こうして図6(C)に示すような構造のアクティブマトリクス型EL表示装置が完成する。ところで、本実施例のアクティブマトリクス型EL表示装置は、画素部だけでなく駆動回路部にも最適な構造のTF Tを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0124】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTF Tを、駆動回路を形成するCMOS回路のnチャネル型TF T 205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれうる。

【0125】本実施例の場合、図6(C)に示すように、nチャネル型205の活性層は、ソース領域355、ドレイン領域356、LDD領域357及びチャネル形成領域358を含み、LDD領域357はゲート絶縁膜311を介してゲート電極313と重なっている。

【0126】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TF T 205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域357は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0127】また、CMOS回路のpチャネル型TF T 206は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TF T 205と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0128】なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用TF Tと電流制御用TF Tの中間程度の機能を有するTF Tを配置することが望ましい。

【0129】従って、サンプリング回路を形成するnチャネル型TF Tは、図10に示すような構造のTF Tを配置することが望ましい。図10に示すように、LDD領域901a、901bの一部がゲート絶縁膜902を介してゲート電極903と重なる。この効果は電流制御用TF T 202の説明で述べた通りであり、サンプリング



回路の場合はチャネル形成領域 904 を挟む形で設ける点異なる。

【0130】なお、実際には図 6 (C) まで完成したら、図 1、図 2 で説明したように遮光膜を有する対向基板を用いて EL 層を密閉空間に封入する。その際、密閉空間の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置することで EL 層の信頼性（寿命）が向上する。この EL 層の封入処理は、液晶表示装置のセル組み工程に用いられる技術を転用しても良い。

【0131】また、EL 層の封入処理が完了したら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0132】ここで本実施例のアクティブマトリクス型 EL 表示装置の構成を図 7 の斜視図を用いて説明する。本実施例のアクティブマトリクス型 EL 表示装置は、ガラス基板 601 上に形成された、画素部 602 と、ゲート側駆動回路 603 と、ソース側駆動回路 604 で構成される。画素部のスイッチング用 TFT 605 は n チャネル型 TFT であり、ゲート側駆動回路 603 に接続されたゲート配線 606、ソース側駆動回路 604 に接続されたソース配線 607 の交点に配置されている。また、スイッチング用 TFT 605 のドレインは電流制御用 TFT 608 のゲートに接続されている。

【0133】さらに、電流制御用 TFT 606 のソース側は電源供給線 609 に接続される。本実施例のような構造では、電源供給線 609 は、EL 素子 610 のソースに接続され、また、電流制御用 TFT 608 のドレインには EL 素子 610 が接続されている。

【0134】電流制御用 TFT 608 が n チャネル型 TFT である場合、ドレインに EL 素子 610 の陰極が電氣的に接続される。また、電流制御用 TFT 608 が p チャネル型 TFT である場合、ドレインに EL 素子 610 の陽極が電氣的に接続される。

【0135】そして、外部入出力端子となる FPC 611 には駆動回路まで信号を伝達するための接続配線（接続配線）612、613、及び電源供給線 609 に接続された接続配線 614 が設けられている。

【0136】また、図 7 に示した EL 表示装置の回路構成の一例を図 8 に示す。本実施例の EL 表示装置は、ソース側駆動回路 701、ゲート側駆動回路 (A) 707、ゲート側駆動回路 (B) 711、画素部 706 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0137】ソース側駆動回路 701 は、シフトレジスタ 702、レベルシフタ 703、バッファ 704、サンプリング回路（サンプル及びホールド回路）705 を備

えている。また、ゲート側駆動回路 (A) 707 は、シフトレジスタ 708、レベルシフタ 709、バッファ 710 を備えている。ゲート側駆動回路 (B) 711 も同様な構成である。

【0138】ここでシフトレジスタ 702、708 は駆動電圧が 5～16V（代表的には 10V）であり、回路を形成する CMOS 回路に使われる n チャネル型 TFT は図 6 (C) の 205 で示される構造が適している。

【0139】また、レベルシフタ 703、709、バッファ 704、710 はシフトレジスタと同様に、図 6 (C) の n チャネル型 TFT 205 を含む CMOS 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0140】また、サンプリング回路 705 はソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図 10 の n チャネル型 TFT 208 を含む CMOS 回路が適している。

【0141】また、画素部 706 は図 2 に示した構造の画素を配置する。

【0142】なお、上記構成は、図 4～6 に示した作製工程に従って TFT を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/A コンバータ回路、オペアンプ回路、 $\gamma$  補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しようと考えている。

【0143】さらに、本実施例の EL 表示装置について図 11 (A)、(B) を用いて説明する。なお、必要に応じて図 7、図 8 で用いた符号を引用することにする。

【0144】基板（TFT の下の下地膜を含む）1000 はアクティブマトリクス基板であり、基板上に画素部 1001、ソース側駆動回路 1002、ゲート側駆動回路 1003 が形成されている。それぞれの駆動回路からの各種配線は、接続配線 612～614 を経て FPC 611 に至り外部機器へと接続される。

【0145】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにして対向基板 1004 を設ける。なお、対向基板 1004 は接着剤（シール剤）1005 によって、アクティブマトリクス基板 1000 と共同して密閉空間 1006 を形成するように接着される。このとき、EL 素子は完全に前記密閉空間 1006 に封入された状態となり、外気から遮断される。

【0146】また、本実施例では接着剤 1005 として光硬化性のエポキシ系樹脂を用いるが、アクリレート系樹脂等の接着剤を用いることも可能である。また、EL 層の耐熱性が許せば熱硬化性樹脂を用いることもできる。但し、可能な限り酸素、水分を透過しない材質であ

ることが必要である。接着剤 1005 はディスペンサー等の塗布装置を用いて形成すれば良い。

【0147】さらに、本実施例では対向基板 1004 とアクティブマトリクス基板 1000 との間の密閉空間 1006 には窒素ガスを充填しておく。さらに、対向基板 1004 の内側（密閉空間側）には図 1、図 2 で説明したように遮光膜 1007 及びカラーフィルター 1008 が設けられており、本実施例では遮光膜 1007 として酸化バリウムと黒色の顔料を含有させた樹脂膜を、カラーフィルター 1008 として赤色、緑色または青色の顔料を含有させた樹脂膜を用いている。

【0148】また、図 11 (B) に示すように、画素部には個々に孤立した EL 素子を有する複数の画素が設けられ、それらは全て陽極 1009 を共通電極としている。このとき、EL 層は画素部のみ設ければよく、駆動回路の上に設ける必要はない。EL 層を選択的に設けるには、シャドーマスクを用いた蒸着法、リフトオフ法、ドライエッチング法もしくはレーザースクライブ法を用いれば良い。

【0149】陽極 1009 は、接続配線 1010 に電気的に接続される。接続配線 1010 は陽極 1009 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 1011 を介して FPC 611 に電気的に接続される。なお、ここでは接続配線 1010 について説明したが、他の接続配線 612 ~ 614 も同様にして FPC 611 に電気的に接続される。

【0150】以上説明したような図 11 に示す状態は、FPC 611 を外部機器の端子に接続することで画素部に画像を表示することができる。本明細書中では、FPC を取り付けることで画像表示が可能な状態となる物品、即ち、アクティブマトリクス基板と対向基板とを貼り合わせた物品（FPC が取り付けられている状態を含む）を EL 表示装置と定義している。

【0151】〔実施例 2〕本実施例では、画素の構成を図 3 (B) に示した構成と異なるものとした例を図 12 に示す。本実施例では、図 3 (B) に示した二つの画素を、接地電位を与えるための電源供給線 212 について対称となるように配置する。即ち、図 12 に示すように、電源供給線 213 を隣接する二つの画素間で共通化することで、必要とする配線の本数を低減することができる。なお、画素内に配置される TFT 構造等はそのままで良い。

【0152】このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。

【0153】なお、本実施例の構成は実施例 1 の作製工程に従って容易に実現可能であり、TFT 構造等に関しては実施例 1 や図 2 の説明を参照すれば良い。

【0154】〔実施例 3〕実施例 1、2 ではトップゲート型 TFT の場合について説明したが、本願発明は TFT

T 構造に限定されるものではないので、ボトムゲート型 TFT（代表的には逆スタガ型 TFT）を用いて実施しても構わない。また、逆スタガ型 TFT は如何なる手段で形成されたものでも良い。

【0155】逆スタガ型 TFT は工程数がトップゲート型 TFT よりも少なくし易い構造であるため、本願発明の課題である製造コストの低減には非常に有利である。なお、本実施例の構成は、実施例 2、3 のいずれの構成とも自由に組み合わせることが可能である。

【0156】〔実施例 4〕図 3 (B) では EL 表示装置の画素においてスイッチング用 TFT をマルチゲート構造とすることによりスイッチング用 TFT のオフ電流値を低減し、保持容量の必要性を排除している。しかしながら、従来通りに保持容量を設ける構造としても構わない。その場合、図 14 に示すように、スイッチング用 TFT 201 のドレインに対して電流制御用 TFT 202 のゲートと並列に保持容量 1301 を形成することになる。

【0157】なお、本実施例の構成は、実施例 1 ~ 3 のいずれの構成とも自由に組み合わせることができる。即ち、画素内に保持容量が設けられるだけであって、TFT 構造や EL 層の材料等に限定を加えるものではない。

【0158】〔実施例 5〕実施例 1 では、結晶質珪素膜 302 の形成手段としてレーザ結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

【0159】本実施例では、非晶質珪素膜を形成した後、特開平 7-130652 号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進（助長）する触媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

【0160】また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平 10-270363 号若しくは特開平 8-330602 号に記載された技術により触媒をゲッタリングすれば良い。

【0161】また、本出願人による特願平 11-076967 の出願明細書に記載された技術を用いて TFT を形成しても良い。

【0162】以上のように、実施例 1 に示した作製工程は一実施例であって、図 2 又は実施例 1 の図 6 (C) の構造が実現できるのであれば、他の作製工程を用いても問題はない。

【0163】なお、本実施例の構成は、実施例 1 ~ 4 のいずれの構成とも自由に組み合わせることが可能である。

【0164】〔実施例 6〕本願発明の EL 表示装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

【0165】アナログ駆動を行う場合、スイッチング用 T F T のソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用 T F T のゲート電圧となる。そして、電流制御用 T F T で E L 素子に流れる電流を制御し、E L 素子の発光強度を制御して階調表示を行う。

【0166】一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割駆動と呼ばれる階調表示を行う。即ち、発光時間の長さを調節することで、視覚的に色階調が変化しているように見せる。

【0167】E L 素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1 フレームを複数のサブフレームに分割して階調表示を行う時分割駆動に適した素子であると言える。

【0168】このように、本願発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【0169】〔実施例 7〕E L 表示装置は自発光により画像表示を行うため、バックライトを必要としない。また、反射型液晶表示装置は屋外の光を用いて画像表示を行える点に特徴があるが、暗い所では明るさが足りずに結局バックライトが必要となる。その点、E L 表示装置は暗い所であっても自発光型であるから何ら問題はない。

【0170】しかしながら、実際に E L 表示装置を表示部とする電子装置を屋外で使う場合、当然暗い所で見ると場合も明るい所で見ると場合もある。このとき、暗い所ではさほど輝度が高くなくても十分に認識できるが、明るい所では輝度が高くないと認識できない場合がありうる。

【0171】E L 層の発光は流す電流量によって変化するため、輝度を高くするには流す電流も増え、それに伴って消費電力も増してしまう。しかし、発光輝度をそのような高いレベルに合わせてしまうと、暗い所では消費電力ばかり大きくで必要以上に明るい表示となってしまうことになる。

【0172】そのような場合に備えて、本願発明の E L 表示装置には、外部の明るさをセンサーで感知して、明るさの程度に応じて E L 層の発光輝度を変える機能を持たせることが望ましい。即ち、明るい所では発光輝度を高くし、暗い所では発光輝度を低くして消費電力の増加を防ぐ。その結果、本願発明の E L 表示装置の消費電力を低減することが可能となる。

【0173】なお、外部の明るさを感知するセンサーとしては、CMOS センサーや CCD 等を用いることができる。CMOS センサーは公知の技術を用いて E L 表示装置の駆動回路や画素部と同一の基板上に形成すれば良い。また、CCD を形成した半導体チップを E L 表示装置に貼り付けても良いし、E L 表示装置を表示部として用いた電子装置の一部に CCD や CMOS センサーを設

ける構成としても構わない。

【0174】こうして外部の明るさを感知するセンサーによって得られた信号に応じて、E L 層に流す電流を変えるための回路を設け、それにより外部の明るさに応じて E L 層の発光輝度を調節しうる。

【0175】なお、本実施例の構成は、実施例 1 ~ 6 のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0176】〔実施例 8〕本願発明を実施して形成された E L 表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子装置の表示部として用いることができる。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上（典型的には 40 インチ以上）の E L ディスプレイ（E L 表示装置を筐体に組み込んだディスプレイ）の表示部として本願発明の E L 表示装置を用いるとよい。

【0177】なお、E L ディスプレイには、パソコン用ディスプレイ、TV 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子装置の表示部として本願発明の E L 表示装置を用いることができる。

【0178】その様な電子装置としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L 表示装置を用いることが望ましい。それら電子装置の具体例を図 14 に示す。

【0179】図 14（A）は E L ディスプレイであり、筐体 2001、支持台 2002、表示部 2003 等を含む。本願発明は表示部 2003 に用いることができる。E L ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0180】図 14（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本願発明の E L 表示装置は表示部 2102 に用いることができる。

【0181】図 14（C）は頭部取り付け型の E L ディスプレイの一部（右片側）であり、本体 2201、信号ケーブル 2202、頭部固定バンド 2203、表示部 2

204、光学系2205、EL表示装置2206等を含む。本願発明はEL表示装置2206に用いることができる。

【0182】図14(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(CD、LDまたはDVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本願発明のEL表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0183】図14(E)は携帯型(モバイル)コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本願発明のEL表示装置は表示部2405に用いることができる。

【0184】図14(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本願発明のEL表示装置は表示部2503に用いることができる。

【0185】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0186】また、上記電子装置はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまえば動画全体もぼやけてしまう。従って、画素間の輪郭を明瞭にするという本願発明のEL表示装置を電子装置の表示部として用いることは極めて有効である。

【0187】また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0188】ここで図15(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本願発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0189】また、図15(B)はカーオーディオであ

り、本体2701、表示部2702、操作スイッチ2703、2704を含む。本願発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のカーオーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは据え置き型のカーオーディオにおいて特に有効である。

【0190】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子装置に用いることが可能である。また、本実施例の電子装置は実施例1~7の構成を自由に組み合わせたEL表示装置を用いることで得ることができる。

#### 【0191】

【発明の効果】本願発明を実施することでEL表示装置の画素部において画素間の輪郭が明瞭なものとなり、高精細な画像表示の可能なEL表示装置が得られる。また、本願発明では画素間の隙間を隠すために遮光膜を用いるが、その遮光膜を対向基板側に設けることで歩留まりの低下を防いでいる。さらに、本願発明のEL表示装置は、液晶表示装置の製造ラインを転用して作製することが可能であるため、設備投資の負担が小さくて済む。従って、安価で、且つ、高精細な画像表示の可能なEL表示装置が得られる。また、本願発明のEL表示装置を表示部として用いることにより、安価で視認性の高い電子装置を得ることができる。

#### 【図面の簡単な説明】

【図1】 EL表示装置の画素部を示す図。

【図2】 EL表示装置の画素の断面構造を示す図。

【図3】 EL表示装置の画素部の上面構造及び構成を示す図。

【図4】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図5】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図6】 アクティブマトリクス型EL表示装置の作製工程を示す図。

【図7】 EL表示装置の外観を示す図。

【図8】 EL表示装置の回路ブロック構成を示す図。

【図9】 EL表示装置の画素を拡大した図。

【図10】 EL表示装置のサンプリング回路の構成を示す図。

【図11】 EL表示装置の外観を示す図。

【図12】 EL表示装置の画素の構成を示す図。

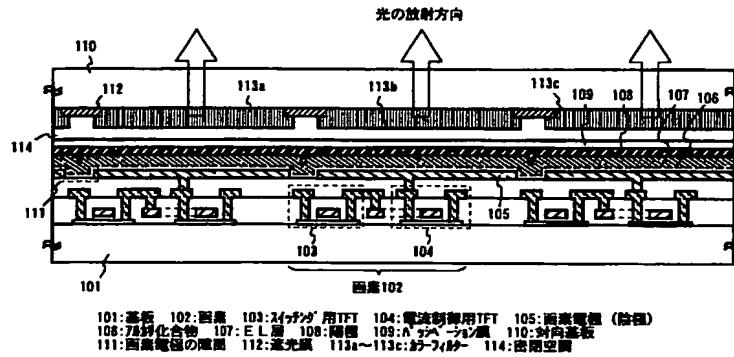
【図13】 EL表示装置の画素の断面構造を示す図。

【図14】 電子装置の具体例を示す図。

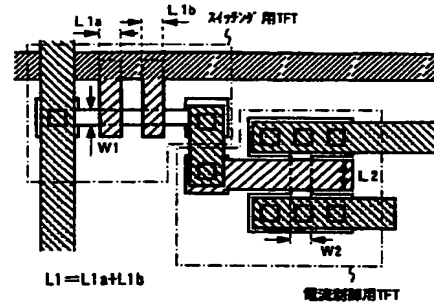
【図15】 電子装置の具体例を示す図。

【図16】 有機物質の色度座標を示す図。

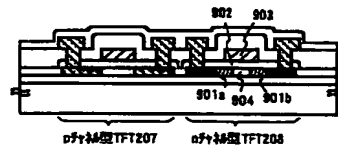
【図1】



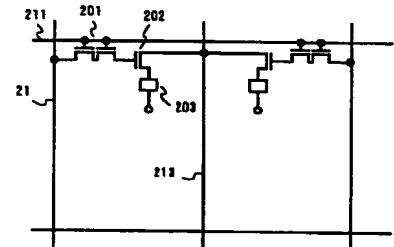
【図9】



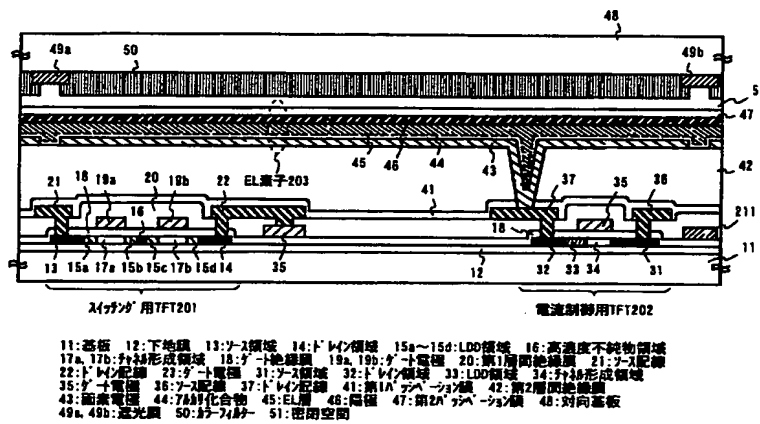
【図10】



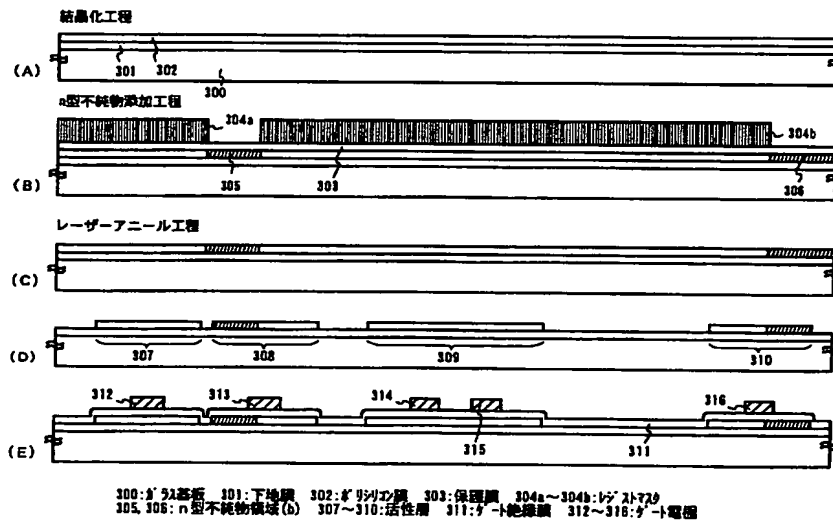
【図12】



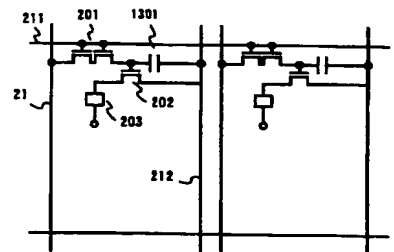
【図2】



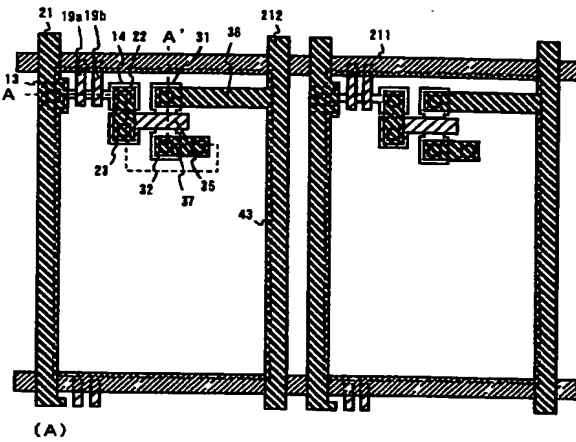
【図4】



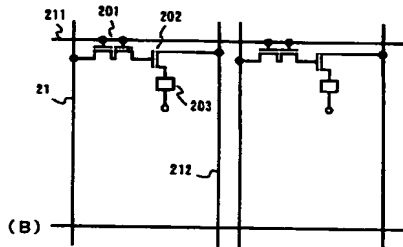
【図13】



【図3】

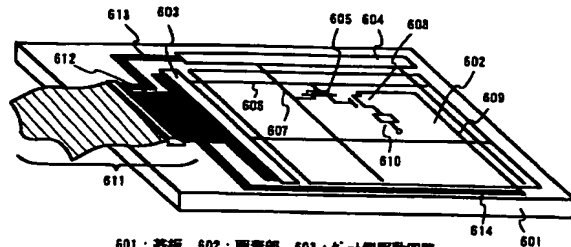


(A)



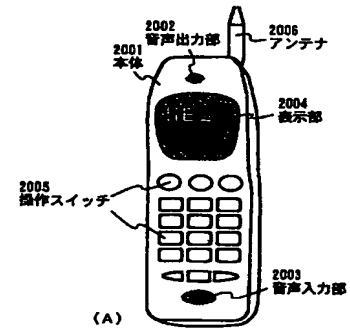
(B)

【図7】



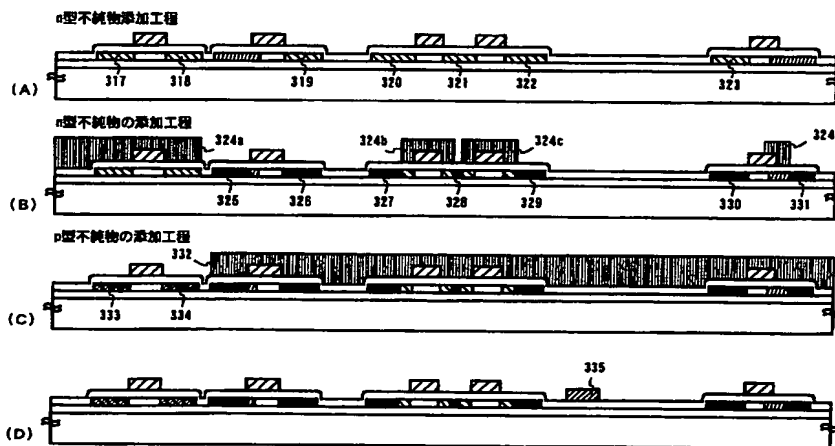
601: 基板 602: 画素部 603: Y-方向駆動回路  
604: X-方向駆動回路 605: 34-pixel用TFT 606: Y-方向配線  
607: X-方向配線 608: 電源制御用TFT 609: 電源供給線  
610: EL素子 611: FPC 612~614: 入出力配線

【図15】

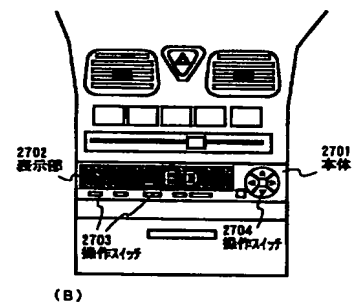


(A)

【図5】

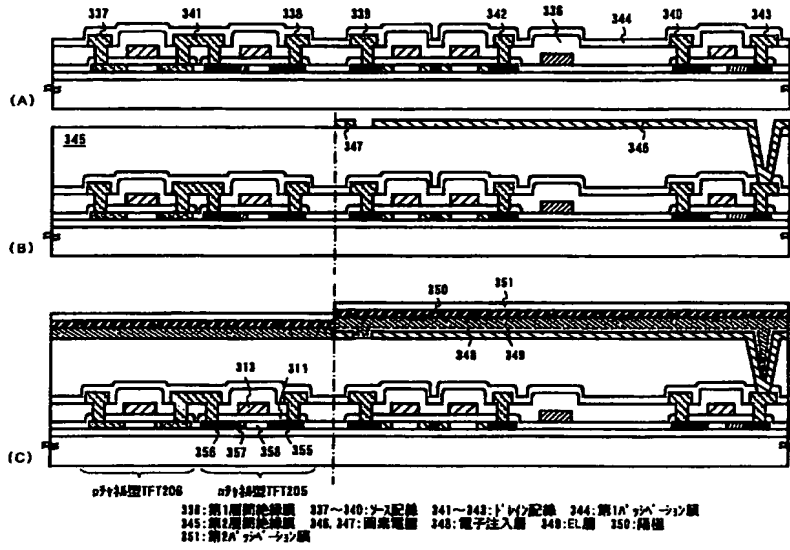


317~323:n型不純物領域(c) 324a~324d, 332: p<sup>+</sup> n<sup>+</sup> 325~331:n型不純物領域(a) 333, 334:p型不純物領域(a)  
335:Y-方向配線

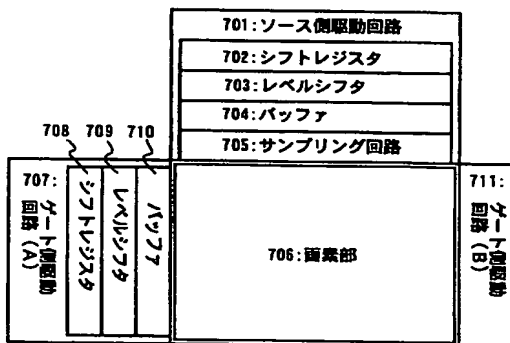


(B)

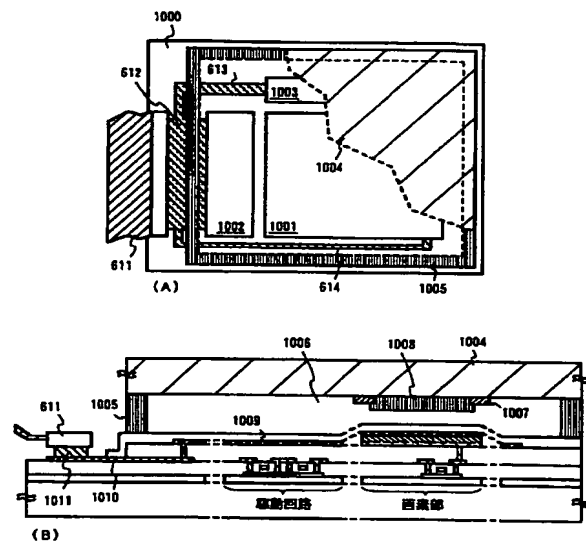
【図6】



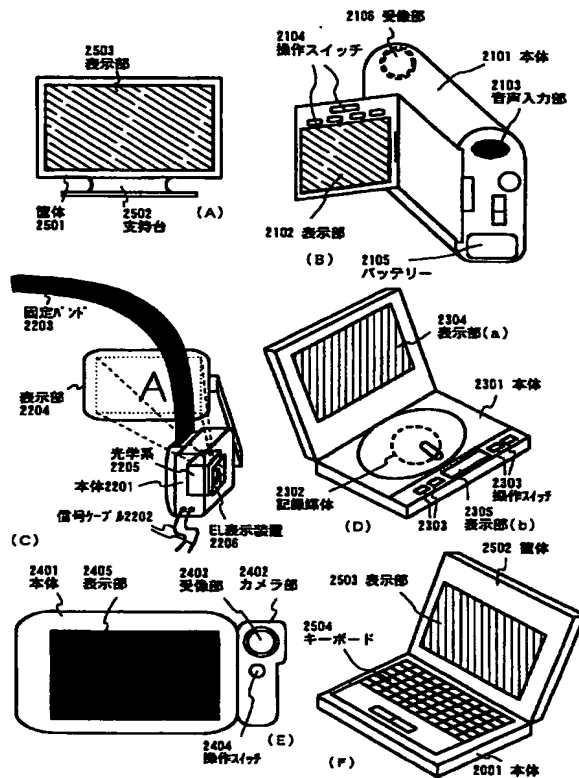
【図8】



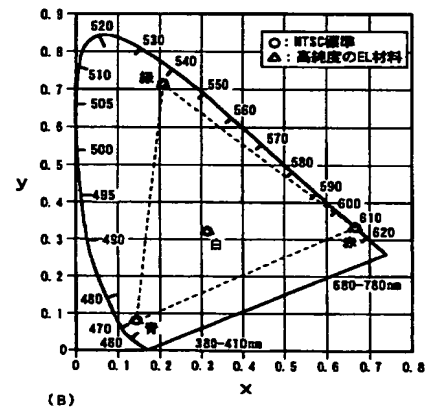
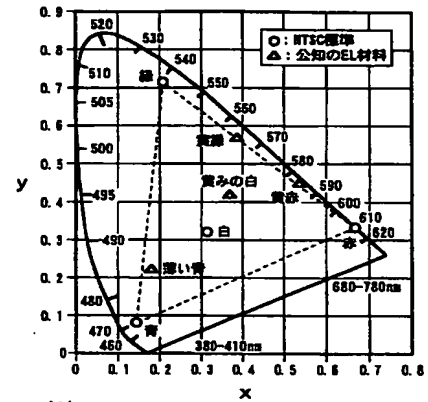
【図11】



【図14】



【図16】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

G 0 9 F 9/30

H 0 5 B 33/10

33/12

33/14

識別記号

3 4 9

3 6 5

F I

G 0 9 F 9/30

H 0 5 B 33/10

33/12

33/14

テーマコード\* (参考)

3 4 9 B

3 6 5 Z

B

E

A

(31)優先権主張番号 特願平11-336247

(32)優先日 平成11年11月26日(1999. 11. 26)

(33)優先権主張国 日本(JP)



F ターム(参考) 2H102 BB06

3K007 AB04 AB17 AB18 BA06 BB06

CA01 CA02 CA04 CA05 CA06

CB01 DA00 DB03 EB00 FA01

FA02 FA03

5C094 AA01 AA05 AA08 AA43 AA44

BA03 BA27 CA19 EA04 EB02

ED02 HA05 HA07 HA08 HA10

5G435 AA01 AA04 AA17 BB05 FF13

GG12 KK05 LL04 LL07 LL08

LL14 LL17

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

Mailing date: May 23, 2003

Notification of Reasons for Rejection

5 Patent Application Number: Patent Application No. 2002-  
084434

Reasons

10 The invention relating to the following claims of  
the present application should not be granted a patent  
under the provision of Article 29 (2) of Japanese  
Patent Law because a person skilled in the art could  
have easily accomplished the invention before the date  
15 of filing of the present application on the basis of  
inventions disclosed in the publications listed below  
distributed in Japan or foreign countries before the  
date of filing of the present application or inventions  
made available to the public via electric communication  
20 lines.

Note (For cited references, etc., refer to a list  
of cited references, etc.)

- 25 •Claims 1, 2, and 5 to 7  
•Cited references 1 and 2  
•Remarks

In the paragraph [0030] of Reference 1, it is described that "it is acceptable to adhere the entire substrate by filling it with a light-shielding adhesive."

5       Also, in Reference 2, it is described that a stress relaxation layer is provided in attaching a color filter.

Also, in Reference 2, it is described that the stress relaxation layer has a light absorbing property  
10 and a light shielding property, and is formed of silicon rubber, i.e. a material with high thermal conductivity.

It should be noted that the inventions described  
15 in References 1 and 2 do not relate to a color filter using a color-conversion filter, but a person skilled in the art could easily conceive the idea that it is possible to apply a color conversion filter in the inventions described in References 1 and 2.

整理番号 02P00115

発送番号 176193

発送日 平成15年 5月23日 1 / 2

**拒絶理由通知書**

特許出願の番号	特願2002-084434
起案日	平成15年 5月21日
特許庁審査官	寺澤 忠司 9623 3E00
特許出願人代理人	谷 義一(外 2名) 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

**理 由**

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

**記** (引用文献等については引用文献等一覧参照)

- ・請求項 1、2、5-7
- ・引用文献等 1、2
- ・備考

引用文献1の段落【0030】には、「透光性の接着剤を充填して、基板全体を接着させても構わない。」と記載されている。

そして、引用文献2には、カラーフィルターを張り付ける際に、応力緩和層を設ける点が記載されている。

また、引用文献2には、応力緩和層が光吸収性、遮光性を有するものである点、および、シリコンゴム、すなわち熱伝導性が高い材料により形成される点も記載されている。

なお、引用文献1及び2に記載された発明は、いずれも色変換フィルターを用いたカラーフィルターではないが、引用文献1及び2に記載された発明において、色変換フィルターを適用することが可能であることは当業者であれば容易に想到しうる事項である。

発送番号 176193

発送日 平成15年 5月23日 2 / 2

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開2001-217072号公報
2. 特開2000-223261号公報

-----  
先行技術文献調査結果の記録

- ・調査した分野     I P C第7版  
                      H 0 5 B 3 3 / 0 0 - 3 3 / 2 8  
                      G 0 2 B   5 / 2 0
- ・先行技術文献     特開平11-67451号公報  
                      特開平11-297477号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容について問い合わせがあるとき、または、この出願の内容について面接を希望されるときは、下記にご連絡ください。

連絡先 特許審査第二部 福祉・サービス機器 寺澤 忠司  
TEL 03-3581-1101(内線3344)  
FAX 03-3501-0672